

На правах рукописи



**ПИСАРЕВ АЛЕКСАНДР ДМИТРИЕВИЧ**

**БИОМОРФНЫЙ НЕЙРОПРОЦЕССОР НА  
ОСНОВЕ НАНОРАЗМЕРНОГО КОМБИНИРОВАННОГО  
МЕМРИСТОРНО-ДИОДНОГО КРОССБАРА**

Специальность 2.2.2 - электронная компонентная база микро- и  
наноэлектроники, квантовых устройств

**А В Т О Р Е Ф Е Р А Т**  
**диссертации на соискание ученой степени**  
**доктора физико-математических наук**

Тюмень 2023

Работа выполнена в НОЦ «Нанотехнологии» и на кафедре прикладной и технической физики Физико-технического института Федерального государственного автономного образовательного учреждения высшего образования «Тюменский государственный университет» (ФГАОУ ВО «ТюмГУ»)

**Научный консультант:** **Удовиченко Сергей Юрьевич,**  
доктор физико-математических наук, доцент,  
профессор кафедры прикладной и технической  
физики ТюмГУ.

**Официальные оппоненты:**

**Ведущая организация:**

Защита состоится «\_\_» \_\_\_\_\_ 2023 года в \_\_\_\_ часов на заседании диссертационного совета 24.1.106.01 при Федеральном государственном бюджетном учреждении науки Институте проблем технологии микроэлектроники и особочистых материалов Российской академии наук по адресу: 142432, Московская область, г. Черноголовка, ул. Академика Осипьяна, д. 6, ИПТМ РАН.

С диссертацией можно ознакомиться в библиотеке ИПТМ РАН и на сайте [http://www.iptm.ru/tes\\_council/diss.ru.html](http://www.iptm.ru/tes_council/diss.ru.html)

Автореферат разослан «\_\_» \_\_\_\_\_ 2023 г.

Учёный секретарь  
диссертационного совета 24.1.106.01,  
кандидат физико-математических наук

Д.М. Коротницкая-Седловец

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

### **Актуальность темы исследования и степень её разработанности**

Одной из ключевых проблем направления нейросетевых информационных технологий является разработка аппаратного средства для программно-аппаратной реализации алгоритмов нейросетей. Исследования по созданию специализированного аппаратного средства в настоящее время проводятся достаточно интенсивно.

Нейропроцессор IBM TrueNorth [1, 2], в котором нейроны и синаптические связи между ними реализуются с помощью нанотранзисторов, благодаря многоядерной архитектуре обеспечивает достаточную производительность для моделирования кортикальной колонки мозга. Разработчики этих аппаратных средств планируют применить мемристоры в качестве синапсов, что обеспечит значительное сокращение числа транзисторов, высокую интеграцию элементов и энергоэффективность устройства. Такое сокращение числа транзисторов возможно благодаря реализации в мемристоре множества резистивных состояний. Последними образцами импульсных нейропроцессоров, изготовленными так же, как и TrueNorth на транзисторах по КМОП (комплементарная структура металл-оксид-полупроводник)-технологии, являются Brainchip Akida [3] и Intel Loihi [4]. В этих нейропроцессорах уже реализованы механизмы самообучения импульсных нейросетей.

Концепция нейроморфных устройств, являющихся комбинацией КМОП-логики и мемристоров, впервые предложена в [5, 6]. Организация мемристорных ячеек в кроссбар без селективных элементов обеспечивает большую плотность элементов, но обладает существенным недостатком, связанным с протеканием паразитных токов через соседние ячейки. Для исключения этого эффекта необходимо последовательно мемристору включить селективный элемент (например, диод или транзистор n-МОП). В свою очередь применение простого диода исключает возможность перепрограммирования биполярных мемристоров. Несмотря на то, что транзистор n-МОП может пропускать ток в обоих направлениях, один из режимов не будет являться оптимальным. Кроме этого применение транзистора в качестве селектора для мемристора сильно снижается степень интеграции таких ячеек памяти.

Существующие аппаратные средства в виде запоминаящих [7-11] и логических матриц [12-14] с мемристорным кроссбаром выполняют узкоспециальные функции. Наиболее продвинутый массив мемристорных ячеек 1Т1М, впервые предложенный Hewlett-Packard как аппаратное средство для выполнения дискретного косинусного преобразования при обработке сигналов

(сжатие изображений и сверточная фильтрация) [13], был использован в дальнейшем как массив синапсов аппаратной нейросети, которая обучается с учителем [7]. Представленные мемристорные кроссбары не могут быть использованы в сверхбольших запоминающей и логической матрицах для нейропроцессора, поскольку используют транзисторы в качестве селективного элемента в мемристорной ячейке или более сложные энергопотребляющие схемы.

В ячейке 1D2M с комплементарными мемристорами разработанной сверхбольшей запоминающей матрицы [A3] нейропроцессора [A7] использован перспективный пассивный элемент – диод Зенера, пропускающий ток в обоих направлениях и обеспечивающий, как показало численное моделирование, более высокую энергоэффективность матрицы, а также интеграцию элементов из-за значительно меньшего размера по сравнению с активным электронным элементом – транзистором.

Аппаратные реализации ассоциативного самообучения и формирование новой ассоциации в импульсной нейросети с дискретными мемристорными синапсами представлены в [15-19]. Предложенные электрические цепи аппаратной реализации ассоциативной памяти не могут быть использованы для построения сверхбольшей аппаратной нейросети из-за наличия в схемах нейронов и синапсов большого числа активных электронных элементов с высоким энергопотреблением и отсутствия возможности интеграции мемристоров в массивы. Применяемое в аппаратных средствах с мемристорными кроссбарами [10, 11] ассоциативное обучение является отложенным из-за программного расчета подстройки весов в периферийной системе после прохождения информации. Процедура обновления весов приводит к потере информации, так как во время этого процесса входная информация игнорируется. До сих пор, кроме разработки [A7], не представлено автономное аппаратное средство, реализующее самообучающуюся импульсную нейронную сеть с программируемыми синаптическими связями на основе мемристорного кроссбара.

Дальнейшее развитие автономного ассоциативного нейропроцессора, являющегося носителем искусственного интеллекта, по мнению автора настоящей работы, будет проходить по биоподобному сценарию. Аппаратная биоморфная нейросеть нейропроцессора [A7], построенная с помощью оригинальных электрической и программной биоморфных моделей нейрона потенциально способна воспроизводить работу кортикальной колонки мозга. И для этого уже сейчас достигнут многообещающий результат – получена генерация новых ассоциаций по биологически подобному механизму. Это позволяет говорить о формировании процессора нового поколения, который

качественно отличается от существующих нейропроцессоров для компьютерного зрения, машинного обучения и других систем со слабым искусственным интеллектом, и который обеспечит осмысливание полученных новых ассоциаций при совершенствовании его оригинальной биоморфной нейросети [Аб], и, следовательно, произойдет переход от слабого к сильному искусственному интеллекту.

**Цель работы:** разработка физических основ создания биоморфного нейропроцессора, реализующего аппаратную импульсную нейросеть на базе нового компонента нанoeлектроники – мемристорно-диодного кроссбара, а также исследование с помощью численного моделирования и экспериментально работоспособности его функциональных узлов.

**Задачи исследования:**

- разработка концепции функционального устройства биоморфного нейропроцессора; создание электрических схем, топологий и физико-математических моделей работы его функциональных узлов на основе сверхбольшого комбинированного мемристорно-диодного кроссбара, содержащего  $10^6$  ячеек и более;
- разработка физико-математической биоморфной модели нейрона и нейронной сети на её основе, адаптированной к аппаратной части нейропроцессора;
- численное моделирование процессов обработки сигналов в отдельных функциональных узлах и ассоциативного самообучения аппаратной импульсной нейросети процессора, созданной на основе оригинальной биоморфной электрической схемы нейрона;
- экспериментальное исследование процессов обработки сигналов в мемристорно-диодных кроссбарах для запоминающей и логической матриц;
- тестирование процессов ассоциативного самообучения изготовленной аппаратной нейросети и генерации новых ассоциаций.

**Научная новизна.** Близких аналогов разработанного биоморфного нейропроцессора нет. Уникальность биоморфного нейропроцессора состоит в том, что он построен на основе оригинальной биоморфной электрической схемы нейрона и является биоморфным еще и с точки зрения выполнения функций биоморфной нейросети, созданной на основе оригинальной программной биоморфной модели нейрона. Кроме задачи генерации нового знания, относящейся к проблеме создания систем искусственного интеллекта, на таком специализированном аппаратном средстве могут быть решены технические задачи – увеличение быстродействия и энергоэффективности расчетов по сравнению с существующими сегодня вычислительными средствами (персональные компьютеры, серверы и суперкомпьютеры) – за счет

применения смешанных аналогово-цифровых вычислений, в том числе с помощью мемристоров, интегрированных в комбинированные мемристорно-диодные кроссбары.

Разработаны физические основы создания биоморфного нейропроцессора: концепция его функционального устройства; комбинированный мемристорно-диодный кроссбар – новый компонент наноэлектроники и биоморфная электрическая схема нейрона для построения аппаратной нейросети; специализированная программа MDC-SPICE (Memristor-Diode Crossbar - Simulation Program with Integrated Circuit Emphasis) для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары.

Разработана физико-математическая биоморфная модель нейрона и сформулированы принципы построения нейросети на ее основе с учетом замены синапсов в аппаратной нейросети на мемристоры. Впервые представлен способ кодирования передаваемой информации импульсами, подобными биологическим, который позволяет использовать мемристоры для расчета рекуррентных формул, описывающих изменение количества рецепторов на мембране дендрита.

Разработаны физические основы создания, электрическая схема и физико-математическая модель работы мемристорно-диодной ячейки 1D1M, предназначенной для конструирования сверхбольшой логической матрицы. Представлены электрическая схема, топология, физико-математическая модель процессов обработки сигналов сверхбольшой 3D логической матрицей, созданной на базе нового компонента наноэлектроники – мемристорно-диодного кроссбара, обеспечивающего высокую интеграцию элементов и энергоэффективность нейропроцессора.

Разработаны электрические схемы и физико-математические модели импульсного кодирования и декодирования информации во входном и выходном устройствах на основе универсальной логической матрицы.

С помощью численного моделирования и экспериментально проведены исследования электрических свойств и процессов обработки сигналов в изготовленных мемристорно-диодных кроссбарах для запоминающей и логической матриц.

Впервые продемонстрирована генерация новой ассоциации (нового знания) в процессе ассоциативного самообучения в изготовленной аппаратной импульсной нейросети на основе мемристорно-диодного кроссбара, в отличие от существующих аппаратных нейросетей с синапсами на базе дискретных мемристоров.

**Теоретическая и практическая значимость работы.** В отличие от нейропроцессоров на простых нейронах разработанный биоморфный нейропроцессор дает возможность принимать решения не только на основе заранее заложенных ассоциаций, но и с учетом новых ассоциаций (нового знания), формируемых в процессе обработки сигналов в динамично меняющихся условиях. По существу, представленный нейропроцессор является прототипом компьютера нового поколения, являющегося носителем сильного искусственного интеллекта.

Разработку нейропроцессоров на основе мемристоров и мемристорных кроссбаров тормозит то обстоятельство, что применяемые твердотельные мемристоры на оксидах переходных металлов пока имеют невысокую стабильность и воспроизводимость электрических характеристик. Однако, представленный биоморфный нейропроцессор не подвержен этому обстоятельству. Предложенный в данной работе распределенный характер аппаратной биоморфной нейросети снижает требования к воспроизводимости и стабильности характеристик мемристоров. Аппаратная реализация нейросети допускает встраивание электрической схемы и алгоритма, которые воспроизводят работу астроцита (одного из видов глиальных клеток мозга) путем увеличения проводимости оставшихся мемристорных синапсов при обнаружении поврежденного. Эти преимущества повышают отказоустойчивость схемы разработанного нейропроцессора и дополнительно увеличивают биоморфность нейросети.

Результаты, полученные в работе, важны при переходе от существующих аппаратных нейросетей на дискретных мемристорах, способных к ассоциативному самообучению, к большим аппаратным нейросетям с синапсами, интегрированными в мемристорно-диодный кроссбар.

Представленные физико-математические модели процессов обработки сигналов в отдельных узлах нейропроцессора и его аппаратной нейросети необходимы для оптимизации параметров больших мемристорных массивов при исследовании их отказоустойчивости и эффективного применения. Изготовленный и протестированный лабораторный образец импульсной аппаратной нейросети на основе запоминающей матрицы может послужить прототипом для изготовления в промышленных условиях аппаратных нейросетей, включающих большие мемристорные массивы.

Полученные в диссертационной работе результаты могут иметь существенное значение для отечественного производства изделий микро- и нанoeлектроники в области информационных технологий, связанной с созданием нейроморфных устройств.

Предложенные электрические схемы, топологии и технология изготовления запоминающей и логической матриц совместимы с имеющимся в промышленности оборудованием, применяемым для создания КМОП микросхем, и защищены патентами РФ на изобретения.

Результаты по разработке биоморфного нейропроцессора, реализующего аппаратную импульсную нейросеть, будут востребованы при проектировании его прототипа совместно с АО НИИ Молекулярной Электроники (НИИМЭ) – головного предприятия приоритетного технологического направления «Электронные технологии» РФ и изготовлении на ПАО «Микрон», г. Москва, Зеленоград.

Материал, представленный в диссертации, используется в образовательном процессе Физико-технического института ТюмГУ: лекции и практические занятия для бакалавриата по курсу «Основы микроэлектроники» и в рамках подготовки аспирантов по курсам «Приборы на базе наноструктур и физические принципы их работы», «Пучково-плазменные технологии для электроники».

**Методология и методы исследования.** Моделирование электрических схем отдельных узлов и аппаратной импульсной нейросети процессора выполнялось в оригинальном специализированном компьютерном симуляторе MDC-SPICE, предназначенном для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары. Работа этих электрических схем описывалась соответствующими разработанными физико-математическими моделями. Модели стандартных элементов классической электроники брались из научной литературы, при этом созданы упрощенные модели мемристора и диода Зенера с целью моделирования сверхбольших мемристорно-диодных кроссбаров.

Изготовление наноматериалов и электронных устройств, предназначенных для аппаратной реализации нейропроцессора, проводилось на инновационном оборудовании — Нанотехнологическом комплексе NT-MDT «НаноФаб-100», приобретенном Тюменским государственным университетом в рамках Федеральной целевой программы «Развитие инфраструктуры наноиндустрии в России с 2007 по 2011 г.». Для изготовления многослойной структуры мемристорно-диодного кроссбара, содержащей оксиды металлов, полупроводниковые слои и проводящие дорожки, применялись: метод магнетронного распыления в едином технологическом модуле и метод электронной литографии с экспонированием резиста на электронном микроскопе JSM-6510LV-EDS. Очистка поверхности подложки, на которую осаждался мемристорно-диодный кроссбар, осуществлялась в модуле плазмохимического травления (ПХТ), предназначенном для «сухого



травления» и очистки поверхности металлов и диэлектриков. В модуле нанобработки фокусированным ионным пучком НТК «НаноФаб-100» с помощью системы вторично-ионной масс-спектрографии (ВИМС) при послойном ионном распылении (травлении) проводился анализ распределения элементов по толщине тонкой пленки смешанного оксида металлов.

Аппаратное тестирование электрических схем отдельных узлов нейропроцессора осуществлялось с использованием микроконтроллера фирмы Microchip, для которого в рамках диссертационного исследования были написаны микропрограммы формирования и фиксации электрических импульсов, имитирующих работу нейронных сигналов. Измерения проводились с применением аппаратуры фирмы Keysight Technologies, предназначенной для регистрации электрических сигналов и высокоточного снятия вольт-амперных характеристик современных электронных элементов.

#### **Положения, выносимые на защиту:**

1. Разработанные физические основы создания биоморфного нейропроцессора: концепция его функционального устройства; комбинированный мемристорно-диодный кроссбар – новый компонент наноэлектроники и биоморфная электрическая схема нейрона для построения аппаратной нейросети; специализированная программа MDC-SPICE для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары.
2. Физико-математическая биоморфная модель нейрона, максимально упрощённая с точки зрения времени расчёта по сравнению с полной биологической моделью, но без существенной потери точности; принципы построения биоморфной нейросети и её программно-аппаратная реализация.
3. Разработанные физические основы создания и физико-математическая модель работы мемристорно-диодной ячейки 1D1M, предназначенной для конструирования сверхбольшой логической матрицы, а также физико-математическая модель процессов обработки сигналов в сверхбольшой 3D логической матрице на базе нового компонента наноэлектроники – мемристорно-диодного кроссбара, обеспечивающего высокую интеграцию элементов и энергоэффективность нейропроцессора.
4. Разработанные электрические схемы и физико-математические модели импульсного кодирования и декодирования информации во входном и выходном устройствах нейропроцессора, построенных на основе универсальной логической матрицы с мемристорно-диодным кроссбаром.
5. Результаты численного моделирования процессов: обработки сигналов в логической матрице при маршрутизации выходных импульсов нейронов на синапсы других нейронов и при умножении матрицы чисел на вектор;

импульсного кодирования и декодирования информации во входном и выходном устройствах биоморфного нейропроцессора; ассоциативного самообучения аппаратной импульсной нейросети, которые подтверждают работоспособность отдельных узлов нейропроцессора.

6. Результаты экспериментальных исследований электрических свойств мемристорно-диодных ячеек и тестирования процессов обработки сигналов в изготовленных мемристорно-диодных кроссбарах для запоминающей и логической матриц, а также ассоциативного самообучения аппаратной импульсной нейросети, изготовленной с помощью разработанной биоморфной электрической схемы нейрона, которые демонстрируют работоспособность отдельных узлов нейропроцессора.
7. Генерация новых ассоциаций (нового знания), продемонстрированная в процессе ассоциативного самообучения в изготовленной аппаратной импульсной нейросети с программируемыми синаптическими связями, интегрированными в мемристорно-диодный кроссбар, в отличие от известных аппаратных нейросетей, реализованных на основе схем с дискретными мемристорными синапсами.

**Степень достоверности и апробация результатов.** Достоверность полученных результатов подтверждается соответствием результатов численных расчетов, полученных при SPICE-моделировании, с экспериментальными результатами по обработке информации в изготовленных запоминающей и логической матрицах и аппаратной импульсной нейросети. Она также подтверждается использованием современного научного оборудования, соответствующего мировому уровню, и воспроизводимостью мемристорно-диодного кроссбара. Исследования, выполненные в ходе диссертационной работы, опираются на результаты работ, опубликованных по данной тематике ранее и приведенных в списке цитируемой литературы.

Основные результаты работы докладывались и обсуждались на Международных и Всероссийских конференциях, в том числе:

- VII, IX, X, XI конференция Нанотехнологического общества России (г. Москва, 2016, 2018 - 2020);
- First International Workshop «Nanoelectronic Memristive Devices for Quantum and Neuromorphic Computing (MEM-Q)» (Kurchatov Institute, Moscow, 2018);
- International workshop « RERAM and Memristors to new Computing Paradigms (MEM-Q)» (Crete, Greece, 2018);
- XI, XII Международная научно-техническая конференция «Микро- и нанотехнологии в электронике» (г. Нальчик, 2019, 2021);

- Международная научная конференция «Применения технологий виртуальной реальности и смежных информационных систем в междисциплинарных задачах FIT-M 2020» (г. Москва, 2020);
- 6-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули» (г. Ялта, 2020).
- The Third International Conference on Artificial Intelligence, Information Processing and Cloud Computing. AIPCC 2022 (Kunming, China, 2022).

Разработка физических основ биоморфного нейропроцессора в 2019-2020 годах была поддержана грантом РФФИ 19-07-00272А «Электрофизические свойства комбинированного мемристорного-диодного кроссбара – нового компонента наноэлектроники, предназначенного для изготовления запоминающей и логической матриц нейропроцессора».

**Публикации.** По результатам исследований опубликованы 43 научные работы, из них 12 статей в журналах, входящих в международные базы WoS, Scopus (1 статья Q1 и 3 статьи Q2) и IEEE Xplore, 5 статей в журнале из базы RSCI. По материалам диссертации в соавторстве опубликована монография и получены 4 патента на изобретения.

**Личный вклад автора.** Постановка научных задач диссертационной работы и выбор методов их решения были выполнены автором самостоятельно. Разработанная концепция функционального устройства нейропроцессора в полной мере остаётся за автором представленной диссертационной работы. Автором была сделана лично разработка электрических схем, физико-математических моделей, топологий всех описанных в диссертации узлов биоморфного нейропроцессора. Разработка запоминающей матрицы была проведена ранее совместно с А.Н. Бусыгиным, и её результаты помещены в приложение. Основной объём численного моделирования, экспериментальных исследований, обработки полученных результатов по комбинированному мемристорно-диодному кроссбару и аппаратной импульсной нейросети выполнялись автором лично и с техническим участием профильных специалистов коллектива НОЦ «Нанотехнологии».

Автор выражает особую благодарность научному консультанту и соавтору ряда публикаций по диссертационной работе С.Ю. Удовиченко, а также коллегам из НОЦ «Нанотехнологии» за помощь в проведении исследований, обсуждении полученных результатов и всестороннюю моральную поддержку.

**Структура и объём диссертации.** Диссертация состоит из введения, шести глав, заключения и списка литературы. Работа изложена на 250 страницах, включает 100 рисунков и 9 таблиц. Список литературы содержит 149 наименований.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** диссертационной работы приводится обоснование актуальности темы исследования, сформулирована цель, описана научная новизна и практическая значимость работы, перечислены методы исследования и методология, сформулированы положения, выносимые на защиту, приведены обстоятельства апробации работы, указан личный вклад автора, представлена информация об общей структуре диссертации и её соответствии паспорту специальности.

**В первой главе** дан обзор научной литературы по существующим нейропроцессорам и отдельным запоминающим и логическим матрицам. Показано отличие биоморфного нейропроцессора, способного воспроизводить работу кортикальной колонки мозга, от процессоров, применяемых в IT для нейросетевых задач.

Представлены физические основы создания биоморфного нейропроцессора, реализующего аппаратную импульсную нейросеть:

- Разработка мемристорно-диодного кроссбара – нового компонента наноэлектроники как основы аппаратного устройства биоморфного нейропроцессора [A10]. Даны топологии кроссбаров для создания сверхбольших запоминающей матрицы с ячейками 1D2M [A2, A3, A42, A43] и логической матрицы с ячейками 1D1M [A4, A7, A40, A41].
- Интеграция мемристорных элементов с КМОП (комплементарной структурой металл-оксид-полупроводник) логикой. Электронное устройство [A1] (рис.1) включает в себя микропроцессорную реализацию тела нейрона, интегрированную с кроссбаром мемристоров (рис.2), проводники которого выступают в роли аксонов и дендритов, а сами мемристоры имитируют биологические синапсы. В [A1] показано, что такая структура способна к аналоговому ассоциативному запоминанию и объединяет память и процессинг в одном электронном компоненте.

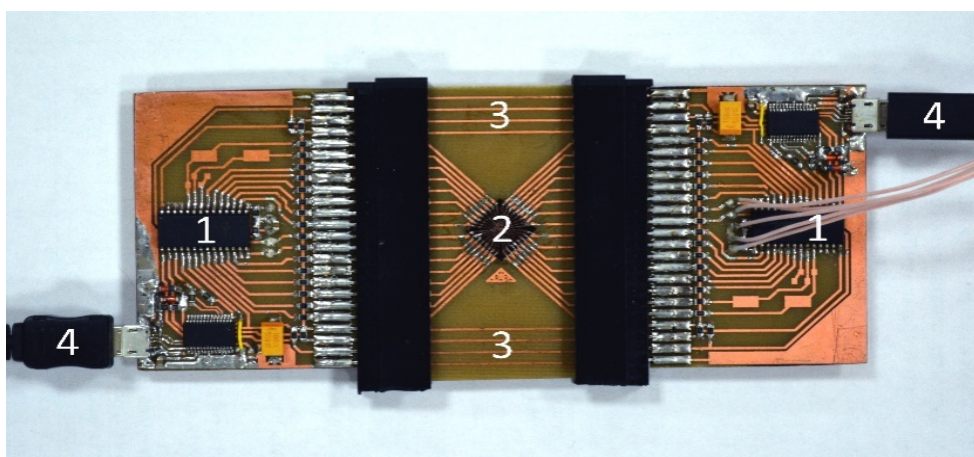


Рис.1. Лабораторная системная плата: 1 – PIC18 микроконтроллер, 2 – мемристорная микросхема, 3 – I<sup>2</sup>C интерфейс, 4 – USB интерфейс

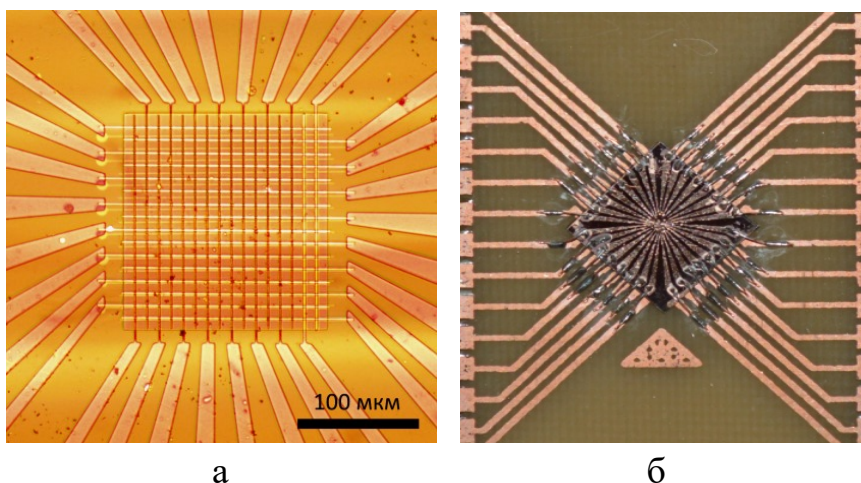


Рис.2. Фотография кроссбара – (а) и мемристорная микросхема – (б)

- Оригинальная специализированная программа MDC-SPICE, предназначенная для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары. Этот симулятор является модифицированной версией SPICE подобного симулятора AnkaB и построен на основе упрощенных моделей мемристора и селективного элемента – диода Зенера [A9].
- Концепция функционального устройства аппаратного биоморфного нейропроцессора, предполагающая два подхода [A7, A14, A15].

Первый подход направлен на уменьшение числа элементов электроники при использовании аналоговых вычислений для синапсов и нейронов. Функциональная схема нейропроцессора (рис.3) в этом случае предполагает наличие запоминающей матрицы, блока нейронов, маршрутизатора на основе логической матрицы, входного и выходного устройств. Аналоговая запоминающая матрица [A2, A3] является массивом мемристорных синапсов и помимо запоминания информации производит часть расчетов нейросети в виде взвешенного суммирования входных импульсов нейронов. Нейронный блок производит оставшуюся часть вычислений, относящихся к процессам зарядки мембраны нейрона выходными импульсами запоминающей матрицы и генерации выходных импульсов нейронов при превышении порога активации. Маршрутизатор [A7] отвечает за перенаправление выходных сигналов нейронов на синапсы в запоминающей матрице. Входное устройство [A9] нейропроцессора предназначено для первичной обработки звуковой и видео информации путем её сжатия и кодирования в виде отдельных импульсов, в том числе подобных биоморфным импульсам мозга. Выходное устройство [A16] осуществляет преобразование информации об активации нейронов в цифровой двоичный код и передачу на интерфейсный блок.

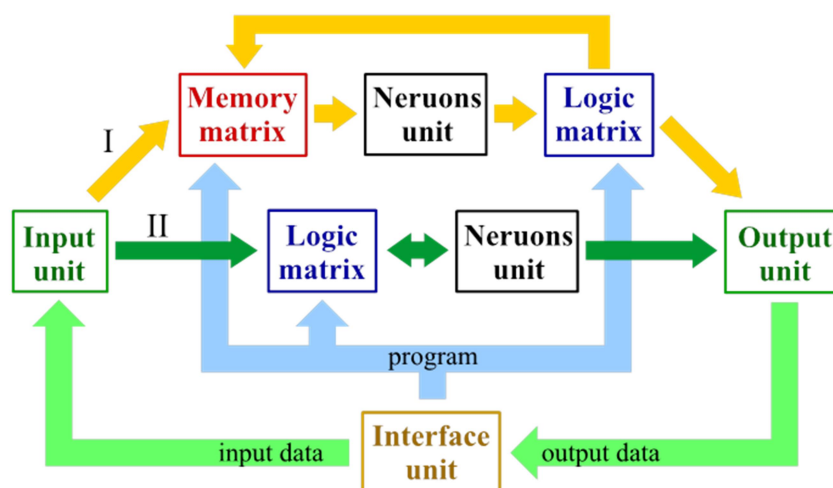


Рис.3. Функциональная схема нейропроцессора: I – подход с использованием запоминающей матрицы для синапсов и логической матрицы в качестве маршрутизатора; II – подход на основе универсальной логической матрицы в отсутствие запоминающей матрицы

Второй подход основан на унификации электронных компонентов за счет использования электрической схемы логической матрицы во всех функциональных блоках нейропроцессора. Универсальная электрическая схема логической матрицы может выполнять расчет связей нейросети в отсутствие отдельной запоминающей матрицы. На основе собственных логических функций она выполняет умножение матрицы на вектор путем последовательных конъюнкций с инверсией; в качестве маршрутизатора направляет выходные импульсы нейронов на синапсы других нейронов; в качестве части входного устройства нейропроцессора выполняет первичную обработку сигнала в цифровом режиме с помощью умножения матрицы на вектор, преобразуя входные данные в нужный формат; в качестве части выходного устройства осуществляет сжатие информации с помощью того же умножения для передачи в интерфейсный блок.

- Аппаратная реализация нейропроцессора [А7]. В рамках I подхода концепции функционального устройства нейропроцессора для интеграции сверхбольшой запоминающей матрицы с блоком искусственных нейронов разработана биоморфная электрическая схема нейрона на основе принципов электрической модели реального нейрона, сформулированных в [20, 21]: нейрон суммирует синаптические сигналы и сравнивает их с порогом, при превышении которого происходит его активация, проявляющаяся в появлении потенциала действия в виде импульса напряжения. В биоморфной электрической схеме нейрона (рис.4) суммарный ток двух синапсов интегрируется с использованием конденсатора и источника тока. При превышении заряда определенного порога происходит генерация импульса

напряжения специальной схемой, который является выходным сигналом нейрона. Этот же импульс сбрасывает заряд на конденсаторе нейрона с помощью транзистора и дает возможность изменить состояния мемристоров в синапсах с помощью формирователя сигнала.

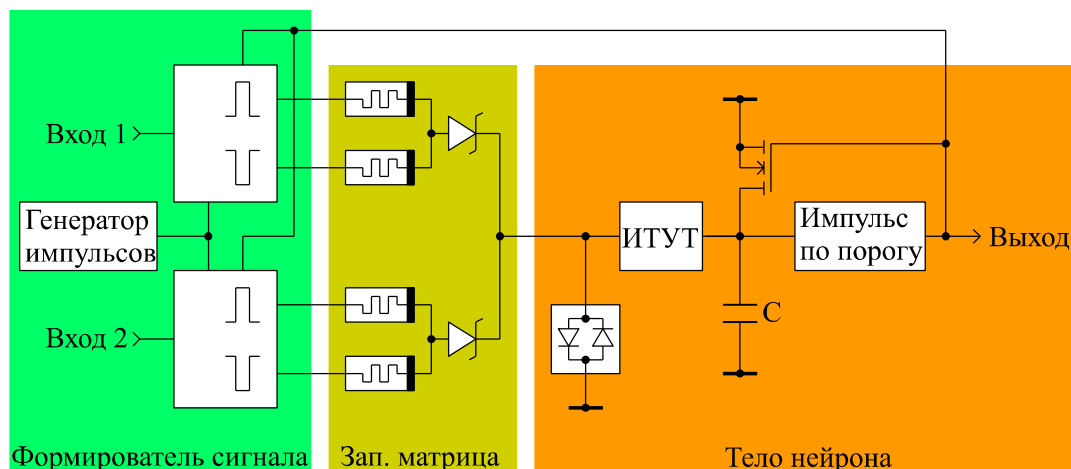


Рис.4. Биоморфная электрическая схема нейрона с двумя синапсами (в запоминающей матрице), которые соответствуют входам от двух других нейронов

При реализации синапсов в логической матрице в рамках II подхода концепции функционального устройства нейропроцессора разработана аналогичная биоморфная электрическая схема нейрона (рис.5), в которой использован инвертор в схеме генерации импульса по порогу. Это позволило отказаться от активного источника тока и уменьшить энергопотребление.

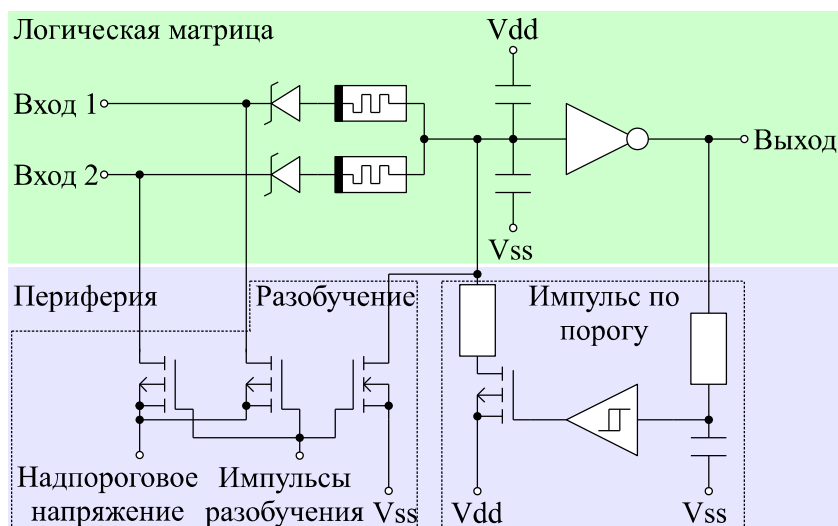


Рис. 5. Биоморфная электрическая схема нейрона в логической матрице: зеленый цвет – внутренние элементы матрицы, синий – периферийные элементы



**Вторая глава** посвящена созданию физико-математической биоморфной модели нейрона, принципам построения биоморфной нейронной сети и её адаптации к аппаратной части нейропроцессора.

Для обработки информации в сверхбольшой нейросети, предназначенной для нейропроцессора с ограниченными вычислительными ресурсами, построена физико-математическая биоморфная модель нейрона [А6, А15], максимально упрощенная с точки зрения сокращения времени расчета, но без существенной потери точности. На рис.6а показана модель нейрона, состоящая из отдельных функциональных частей – дендритов, сомы и аксона.

Созданы алгоритмы расчета прохождения сигнала через каждую функциональную часть нейрона и вместо системы дифференциальных уравнений [21], описывающей изменение потенциала во времени на мембране нейрона, построены соответствующие передаточные функции для потенциала мембраны в виде унифицированного рекуррентного выражения для мембранного потенциала нейрона:

$$V_{n+1} = aV_n - b + p_1x^{p_2}, \quad (1)$$

где  $a = 1 - \frac{h}{c}(g_L + \alpha)$ ;  $b = \frac{hE_L}{c}(g_L + \alpha)$ ;  $h$  – шаг по времени,  $c$  – электрическая емкость мембраны,  $g_L$  – проводимость утечки,  $E_L$  – обратный потенциал утечки,  $\alpha$  – переменная связи, а суммарный ток через рецепторы  $I = p_1x^{p_2}$ . Вид выражения для  $I$  и константы  $p_1$  и  $p_2$ , индивидуальные для каждой части нейрона и определяющие мгновенную реакцию на входной сигнал. Для дендрита они подобраны из аппроксимации экспериментальных данных измерения потенциала его мембраны [22]. На рис.6б за возрастание рассчитанного по формуле (1) потенциала отвечает ток через рецепторы нейромедиатора, а за релаксацию  $V$  до нуля во времени – параметр  $b$ .

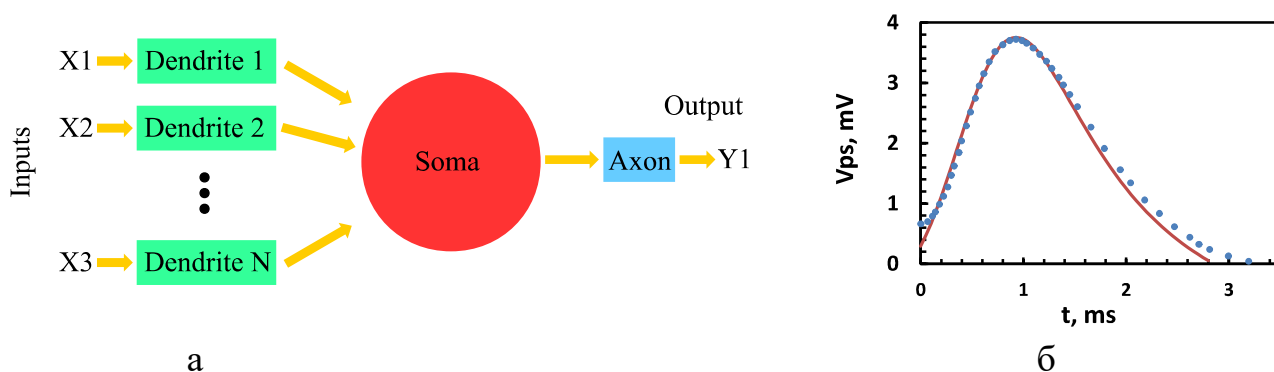


Рис.6. Схема биоморфной модели нейрона – (а) и сравнение расчетного (красная кривая) и экспериментально измеренного (синие точки) допорогового постсинаптического потенциала в дендрите на расстоянии 25 мкм от стимулирующего электрода – (б)



Совпадение графиков достигается при следующих значениях коэффициентов в выражении (1):  $p_1 = 0.305$ ;  $p_2 = 0.5$ ;  $a = 0,91$ ;  $b = 0,09$ . Максимальное отклонение расчетного потенциала от экспериментального составляет 0,37 мВ.

Такая физико-математическая модель нейрона существенно сокращает время расчетов в нейросети и позволяет реализовывать любые соединения между отдельными частями разных нейронов, что придает большую гибкость архитектуре биоморфной нейросети.

В разработанной модели нейрона при превышении порога активации рассчитывается средняя частота спайков, поэтому форма отдельных спайков не имеет значения. Важен сам факт генерации спайка в соме при превышении порога активации нейрона, т.е. экспоненциальный рост потенциала заменён на мгновенный рост с помощью функции Хевисайда. Замена отдельных спайков на среднюю частоту дает возможность увеличить шаг по времени, и, как следствие, дополнительно увеличить скорость расчета нейросети.

Для построения тестовой нейросети были сформулированы два принципа [Аб]. Первый принцип – это последовательная сборка нейросети из функциональных блоков с определенными функциями, включающих несколько связанных нейронов. Блоками задержки реализуется синхронизация сигналов от других блоков. Из таких блоков создаются более крупные структуры – кластеры, также выполняющие свои функции. Таким образом, нейронная сеть имеет модульную структуру.

Второй принцип – построение блоков основывается на обнаруженных реальных нейронных сетях, выполняющих определенные задачи в живом головном мозге. Связи между нейронами в сети задаются изначально на основе экспериментальных данных нейрофизиологии, а не формируются путем перестройки весовых коэффициентов равнозначных связей.

На рис.7 представлен скриншот работы компьютерной программы, которая разработана для моделирования тестовой нейросети, созданной по приведенным принципам на основе биоморфной модели нейрона. Цвет нейрона соответствует типу сомы.

Адаптация к аппаратной части нейропроцессора биоморфной нейросети, построенной по изложенным принципам, заключалась в пересчете коэффициентов в формулах биоморфной модели нейрона через электрические параметры узлов нейропроцессора. Для этого произведены следующие процедуры: 1) соотнесены состояния комплементарных мемристоров с числом рецепторов нейромедиаторов; 2) установлена связь скорости затухания остаточного постинаптического потенциала в дендрите со скоростью разряда суммирующего конденсатора в электрической схеме нейрона; 3) пересчитаны

коэффициенты скоростей синтеза и распада рецепторов в синапсе; 4) подобрана величина порогового напряжения генерации импульса в аппаратном нейроне, соответствующая порогу активации нейрона в биоморфной модели.

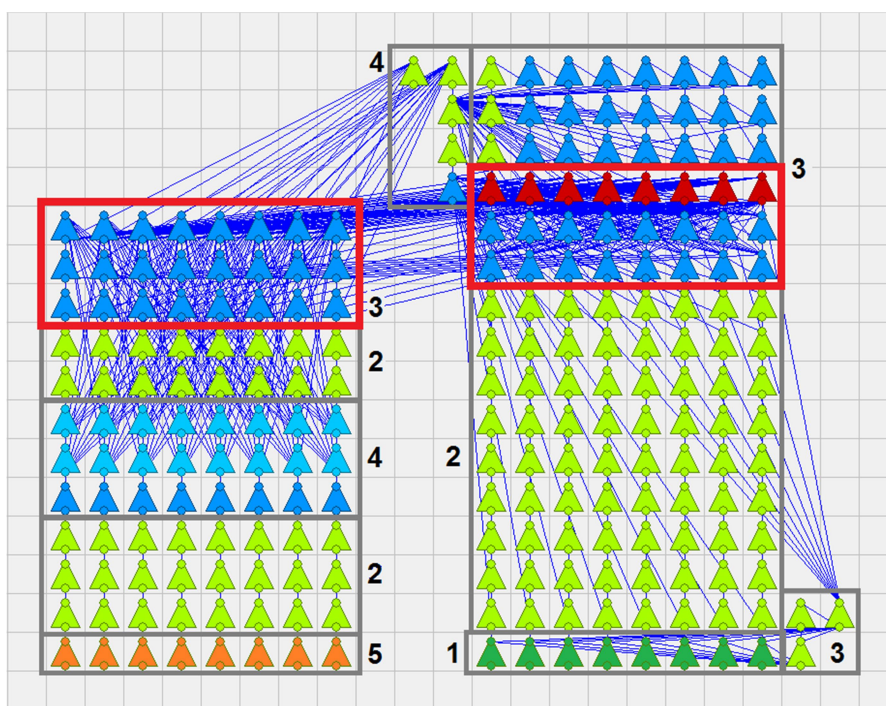


Рис.7. Скриншот программной реализации тестовой нейросети: нейроны обозначены треугольниками; 1 – входной блок, 2 – блоки задержки, 3 – блок запоминания, 4 – фильтр известного/неизвестного, 5 – выходной блок

Порог активации нейрона в последней процедуре однозначно связан с порогом напряжения на суммирующем конденсаторе, при котором происходит генерация выходного импульса аппаратного нейрона. Так как средняя частота следования потенциалов действия  $F_{AP_i}$  в биоморфной нейросети определялась путем суммирования постсинаптических потенциалов  $Vps_k$ :

$$F_{AP_i} = p_1 (\sum_k Vps_k - V_{sw})_i^{p_2}, \quad (2)$$

то порог активации аппаратного нейрона  $V_{hw}$  вычислен исходя из порога активации нейрона в исходной нейросети  $V_{sw}$  и значений параметров  $p_1$  и  $p_2$ :

$$V_{hw} = p_1 V_{sw}^{p_2}. \quad (3)$$

Таким образом, полный набор функций физико-математической биоморфной модели нейрона и принципы построения биоморфной нейросети были специально разработаны для аппаратной реализации нейропроцессора.

**В третьей главе** представлена разработка универсальной логической матрицы нейропроцессора на основе мемристорно-диодного кроссбара, обладающей высокой интеграцией элементов и энергоэффективной работой.

Разработаны физические основы создания ячейки 1D1M, необходимой для построения сверхбольшой логической матрицы. Разработанная электрическая схема элементарной ячейки логической матрицы показана на рис.8а и представляет собой объединение мемристора с селективным диодом Зенера, подключенное к одному из проводников кроссбара [A13, A18, A39]. В свою очередь этот проводник соединен с затвором транзисторного КМОП инвертора.

В работах [A19, A40] разработана логическая матрица с программируемым мемристорным коммутатором без селективного элемента, в топологии которой впервые показан принцип формирования слоя мемристоров на поверхности матрицы КМОП-транзисторов, необходимый для высокой интеграции элементов в сверхбольших матрицах.

Применение диода Зенера в качестве селективного элемента, как показано на рис.8а, позволяет увеличить интеграцию элементов, а также размер кроссбара за счет уменьшения паразитных токов между ячейками и, соответственно, уменьшить деградацию выходного сигнала при работе логической матрицы. Выбор в пользу пассивного элемента – диода по сравнению с традиционно применяемым в качестве селективного активного элемента – транзистора сделан из-за его значительно меньших размеров и энергопотребления. Кроме этого в отличие от диодного селектора транзисторная схема требует наличия дополнительного управляющего проводника.

На рис.8б показан принцип организации топологии 3D логической матрицы [A4, A14, A41]. Многослойная логическая матрица на основе КМОП-мемристорной коммутационной ячейки, представляет собой электронное интегральное устройство на основе логических элементов. Один функциональный пласт содержит в нижнем слое КМОП инверторы, а в верхнем – комбинированный мемристорно-диодный кроссбар. Вышележащий пласт ориентирован ортогонально к нижнему, что является необходимым условием для образования коммутирующих мемристорных кроссбаров между пластинами рис.8б. Такая 3D топология позволяет оптимально использовать шины пласта в качестве проводников кроссбара и минимизировать расстояния для передачи сигналов между пластинами логической матрицы.

С целью разработки сверхбольшой логической матрицы создана физико-математическая модель работы ячейки 1D1M на основе моделей мемристора и диода Зенера [A11, A12, A28].

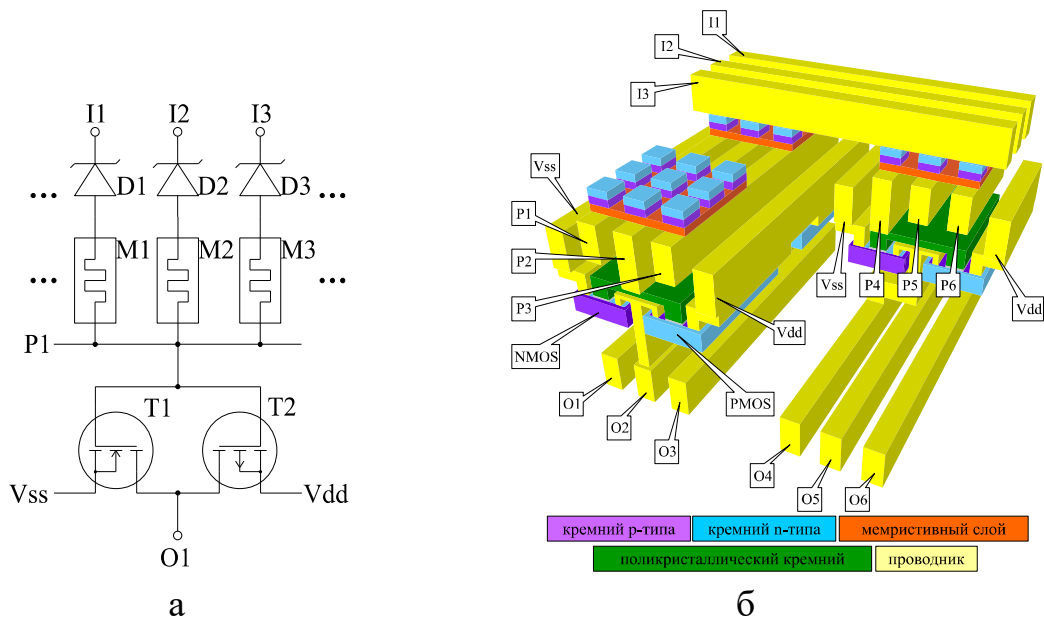


Рис.8. Электрическая схема ячейки – (а) и топология 3D логической матрицы с высокой интеграцией элементов – (б)

Напряжение на входе каждого инвертора описывается формулой:

$$V_j = \frac{\frac{V_b}{R_b} + \sum_i \frac{V_i}{R_i + R_d(V_{di})}}{\frac{1}{R_b} + \sum_i \frac{1}{R_i + R_d(V_{di})}}; V_{di} = V_j - I_i R_i; R_d \approx \begin{cases} 0, & V_i = 0, \\ \infty, & V_i \approx V_b. \end{cases} \quad (4)$$

Здесь  $V_b$  – напряжение смещения,  $R_b$  – подтягивающий резистор,  $R_d$  – сопротивление диода Зенера,  $R_i$  – сопротивления мемристоров,  $V_i$  – напряжения на входе ячейки. С учетом того, что входные напряжения могут быть только двух значений, соответствующих логическим нулю и единице, далее достаточно рассмотреть работу этого компонента на уровне логических переменных.

Каждый  $j$ -ый столбец кроссбара с выходным инвертором выполняет логическую функцию конъюнкции с инверсией над входными битами  $x_i$ :

$$y_j = \bigwedge_{i=0}^n m_{ij} x_i. \quad (5)$$

Элементы мемристорной матрицы коммутации  $m_{ij} \in [0,1]$  определяют, какие входные сигналы  $x_i$  будут включены в конъюнкцию (5) ячейки матрицы.

Физико-математическая модель работы маршрутизатора [A7, A11, A12, A27], который направляет выходные импульсы нейронов на синапсы других нейронов, реализована с помощью логической матрицы из двух функциональных пластов (рис.9а).

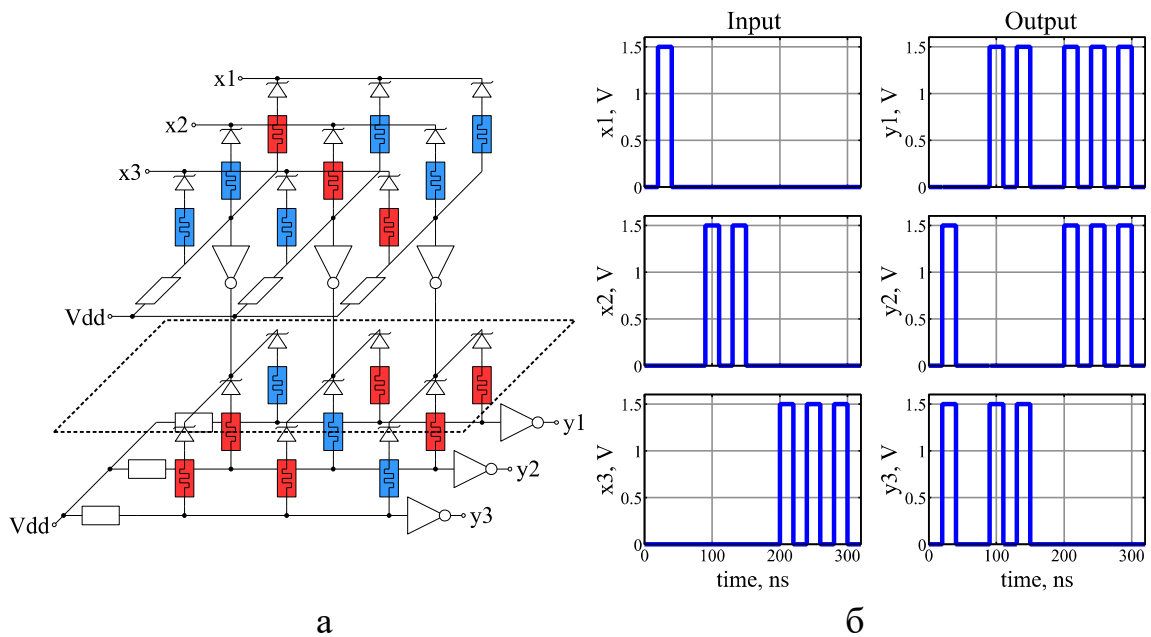


Рис.9. Электрическая схема двух пластов 3D логической матрицы – (а); маршрутизация сигналов с входов  $x_1$ - $x_3$  на выходы  $y_1$ - $y_3$  – (б)

Первый пласт логического блока запрограммирован таким образом, что низкое сопротивление имеют мемристоры главной диагонали. Следовательно, в первом пласте образован набор одноходовых элементов НЕ, что эквивалентно инверсии и функции маршрутизации входных сигналов. Мемристоры с низким сопротивлением во втором пласте логического блока подключают заданные выходы из первого пласта к входной шине выходного инвертора.

В этом случае первую матрицу коммутации можно определить как диагональную:  $m_{ij} = \delta_{ij}$ , где  $\delta_{ij}$  – символ Кронекера. Логическая функция первого пласта матрицы определяется выражением:

$$y_j = \bigwedge_{i=0}^n m_{ij} x_i = \bigwedge_{i=0}^n \delta_{ij} x_i = \bar{x}_j. \quad (6)$$

В итоге каждый инвертор, с подключенными к нему мемристорами второго пласта, выполняет конъюнкцию с отрицанием, что с учётом правила логики де Моргана эквивалентно коммутируемой дизъюнкции:

$$y_j = \bigwedge_{i=0}^n m_{ij} \bar{x}_i = \bigvee_{i=0}^n m_{ij} x_i. \quad (7)$$

Выходные напряжения, полученные путём SPICE моделирования и представленные на рис.9б, показывают перенаправление входных сигналов по заданным маршрутам.

Процедура умножения матрицы чисел на вектор является частью дискретного косинусного преобразования, используемого при сжатии аудиовизуальной информации во входном устройстве нейропроцессора [A22]. Физико-математическая модель процедуры умножения матрицы чисел на вектор (рис.10) использует позиционное импульсное кодирование чисел и включает инверсию входных сигналов (синий блок), умножение элемента матрицы на компонент входного вектора и суммирование полученных произведений [A22].

Операция умножения выполняется в двух функциональных пластах (светло-зеленные блоки) логической матрицы путем перенаправления импульса с входной шины на выходную шину. Операция суммирования выполняется путем организации в функциональном пласте логического блока элементов И-НЕ, соответствующих всем возможным комбинациям слагаемых (темно-зеленные блоки). В следующем функциональном пласте происходит перенаправление импульсов от выходов предыдущего пласта, соответствующих одинаковым числам, на одну выходную шину с использованием операции ИЛИ-НЕ (сиреневые блоки). В итоге входные импульсы проходят на определенные выходные шины, которые соответствуют результату операции матрично-векторного умножения, как показывает результат численного моделирования [A14] на диаграммах (рис.10).

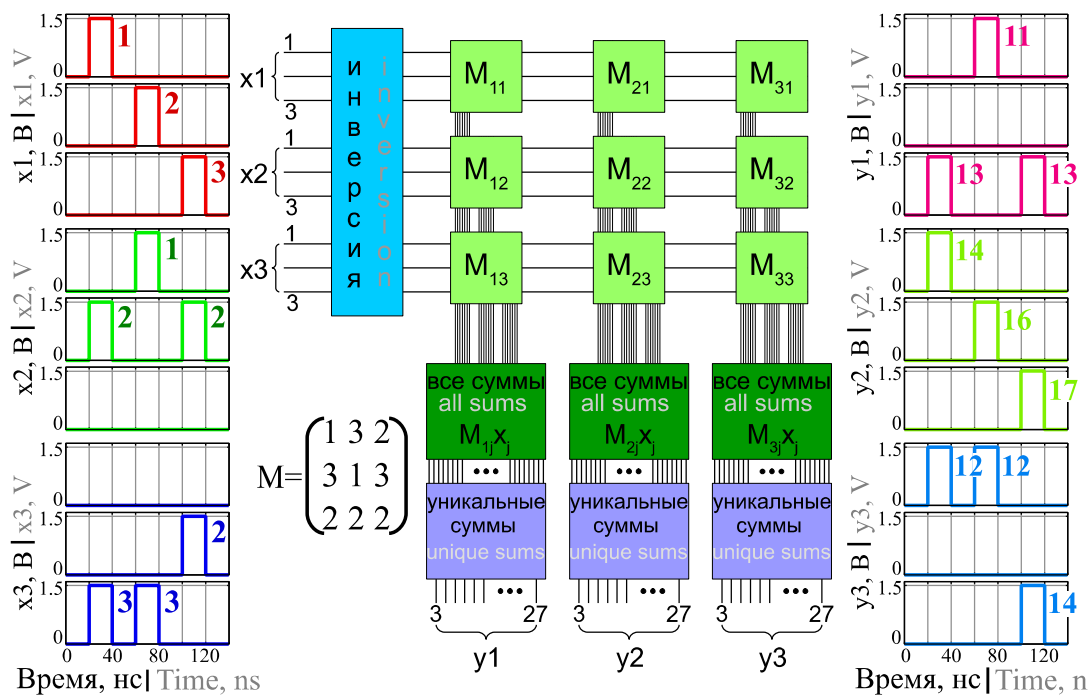


Рис.10. Моделирование умножения матрицы чисел на вектор. Блоки разного цвета соответствуют разным функциональным пластам логической матрицы

В многослойной КМОП-мемристорной логической матрице при позиционном импульсном кодировании входной информации реализуется рекуррентная формула умножением входного вектора  $\vec{X}$  на тензор преобразования  $\widehat{M}$ . Результатом умножения является  $N$ -мерный вектор  $\vec{Y}$ , содержащий компоненты, соответствующие значениям амплитуд косинусных гармоник:

$$\vec{Y} = \widehat{M}_n \cdot (\dots \cdot (\widehat{M}_2 \cdot (\widehat{M}_1 \cdot \vec{X})) \dots). \quad (8)$$

Способ умножения компонент входного вектора на элементы матрицы преобразования основывается на представлении иррациональных чисел в целочисленном виде с помощью системы счисления с иррациональным косинусным основанием. В пласте логической матрицы реализуются булевы матрицы  $\widehat{M}_n$ , определяющие преобразование входного позиционного числа.

Рекуррентная векторная формула (8) требует значительного объема математических вычислений. В частности, это приводит к низкому быстродействию и высокому энергопотреблению в случае расчета многослойной нейросети на микропроцессоре с традиционными архитектурами. Разработанная 3D логическая матрица лишена этих недостатков. Она позволяет производить вычисления рекуррентной формулы параллельно и с высоким быстродействием. При этом работа транзисторов матрицы происходит в ключевом режиме, который характеризуется малым энергопотреблением.

Проведено сравнение результатов численного моделирования процесса обработки сигнала разработанной логической матрицы с известными аналогами, ячейки которых включают селективный элемент транзистор. Моделирование в специализированной программе MDC-SPICE процессов деградации логических уровней, вызванных паразитными токами в комбинированном мемристорно-диодном кроссбаре, позволило определить максимально возможный размер логической матрицы  $N \times N = 10^{10}$  при предельной деградации напряжения выходного сигнала до 65% [A7]. На рис.11 показана деградация выходного напряжения в матрице с ячейками 1D1M, а для сравнения – деградация напряжения при двух соотношениях предельных сопротивлении открытого и закрытого мемристора ( $R = R_{off} / R_{on} = 100$  и  $1000$ ) в логическом массиве ячеек 4T1M Levy [12]. Кривые затухания в матрице 1D1M для  $R=100$  и  $R=1000$  совпадают, поскольку основной вклад в затухание выходного напряжения вносит величина  $R_{on}$ , а значение  $R$  при моделировании менялось за счет  $R_{off}$  при постоянном  $R_{on}$ .

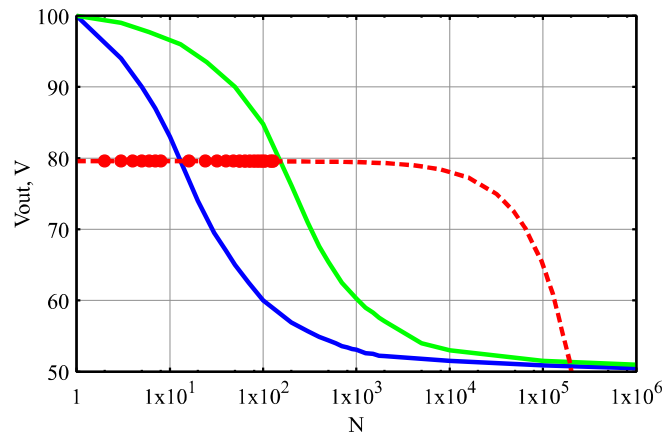


Рис.11. Зависимость затухания логического сигнала от количества ячеек в матрице размером  $N \times N$ : красная кривая ( $R=100$  и  $1000$ ) – для разработанного устройства; синяя ( $R=100$ ) и зеленая ( $R=1000$ ) – данные из [12]

На рис.12 представлена временная зависимость уровня мощности, потребляемой при обработке входного сигнала разработанной матрицей размером  $12 \times 12$  ячеек 1D1M в двоичном коде и четырьмя ячейками 1T1M матрицы Hewlett-Packard [13], с возможным числом состояний равным 64, что эквивалентно 6-битной разрядности. Из рис.12 следует, что энергопотребление (площадь под кривой) диодно-мемристорной матрицы в 355 раз меньше матрицы НР. Основными потребителями энергии в матрице НР являются операционные усилители (2,7 мВт на каждый ОУ), а в разработанной матрице – КМОП инверторы, которые потребляют энергию в основном при переключениях. Таким образом, с увеличением числа ячеек разница в энергопотреблении НР и диодно-мемристорной матриц будет возрастать.

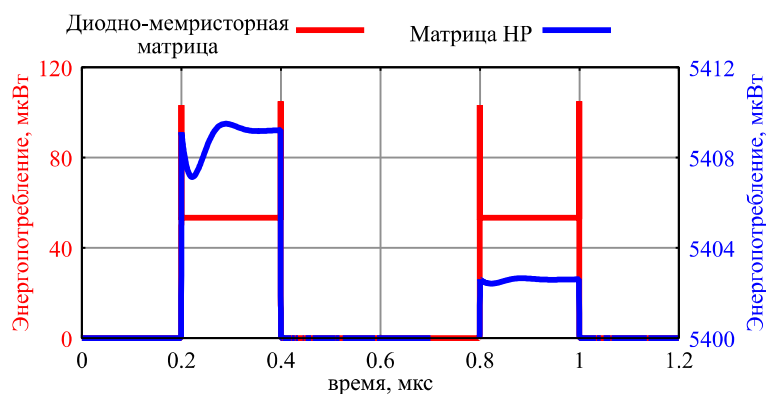


Рис.12. Изменение потребляемой мощности во времени: синий – матрица НР, красный – разработанная матрица

Нейронные функции сложения и вычитания взвешенных сигналов, которые реализует запоминающая матрица, могут быть выполнены в логической матрице при отсутствии самой запоминающей матрицы, согласно



варианту II нейропроцессора (рис.3). Для этого аналогично разработанной биоморфной электрической модели нейрона в запоминающей матрице проведено усовершенствование биоморфной электрической модели нейрона в логической матрице [А7].

Ассоциативное самообучение логической матрицы происходит аналогично обучению запоминающей матрицы. Обучение аппаратной нейронной сети выполняется в соответствии с правилом Хебба путём программирования мемристоров соответствующих связей импульсами надпорогового напряжения. Такие импульсы, приводящие к усилению синаптической связи, формируются выходом нейрона в процессе условного обучения сети. Для этого к шинам питания инверторов присоединены драйвера, увеличивающие входное напряжение выше порога программирования мемристоров. Активация драйверов происходит во время появления выходных импульсов нейрона, что приводит к пробое диода Зенера и уменьшению электрического сопротивления тех мемристоров, на которых присутствуют в это время входные информационные импульсы.

На рис.13 представлены результаты численного моделирования в программе MDC-SPICE по правилу индуцированной долговременной потенциации (LTP - long-term potentiation) аппаратной нейросети, имеющей слоистую структуру, в которой сигнал распространяется перпендикулярно к поверхности подобно кортикальной колонке мозга [А5, А19].

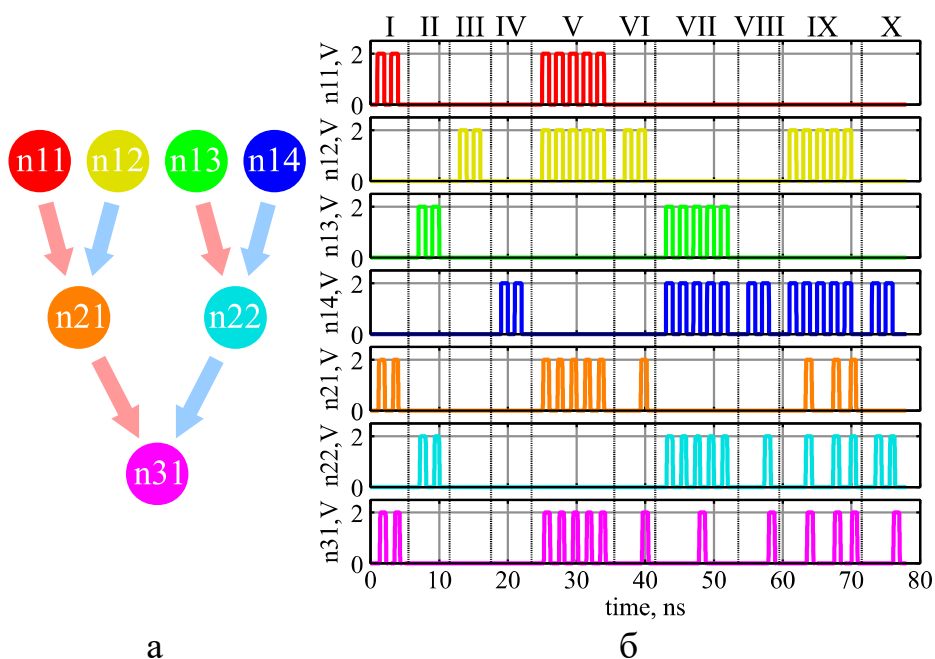


Рис.13. Ассоциативное самообучение в трехслойной аппаратной нейросети: архитектура нейросети – (а); эпюры SPICE-моделирования – (б) (цвет графика соответствует цвету нейрона)

Нейросеть состоит из трёх нейронных слоев, реализованных в шести функциональных пластах логической матрицы. Связи между нейронами, отмеченные синим цветом, являются слабыми, а связи, отмеченные красным, – сильными. При обучении по правилу LTP весовые коэффициенты синапсов могут только увеличиваться, а сопротивление мемристоров только уменьшаться. Для возможности переобучения мемристоры возвращались в исходное состояние с помощью реализованной процедуры безусловного разобучения, аналогичной нейрофизиологическому явлению забывания редко используемой информации. Для реализации процесса безусловного разобучения от внешнего генератора периодически поступают на мемристоры разобучающие импульсы надпорогового напряжения, увеличивающие электрическое сопротивление мемристоров.

**В четвертой главе** представлены результаты по разработке входного и выходного устройств биоморфного нейропроцессора.

Во входном устройстве сначала происходит сжатие и нормализация входных данных с помощью дискретного косинусного преобразования в логической матрице [A22], являющегося разновидностью методов Фурье анализа, а затем амплитуды гармоник кодируются в биоморфные импульсы [A23]. Гармоники с малой амплитудой фильтруются, а остальные с помощью перевода цифрового двоичного кода в пространственно-позиционный код преобразуются в формат биоморфных импульсов [A4]. На рис.14 показано, как значения яркости пикселей в строке видеокadra с помощью дискретного косинусного преобразования разлагаются в амплитуды гармоник.

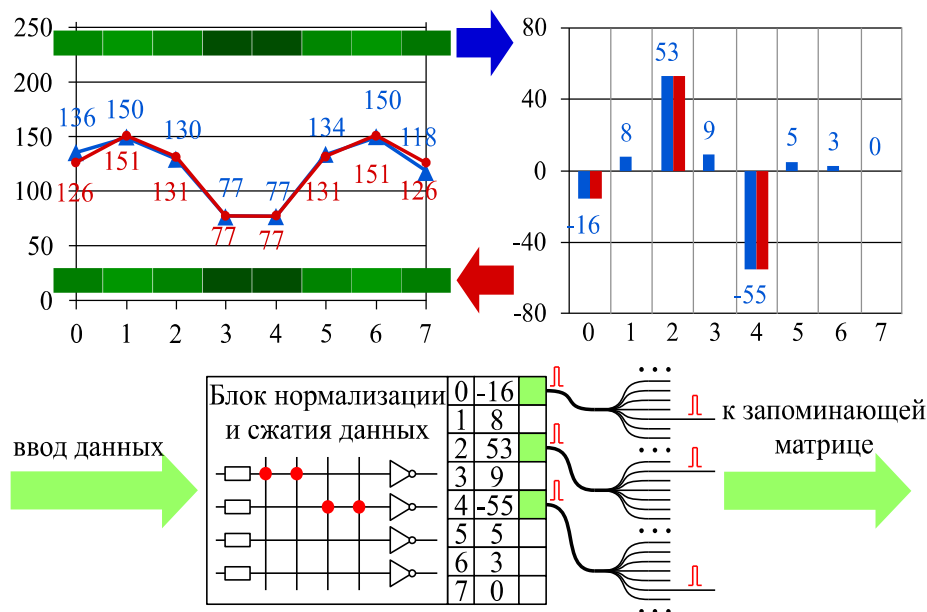


Рис.14. Процесс сжатия и кодирования значений яркости пикселей в строке видеокadra в формат биоморфных импульсов

Электрическая схема импульсного кодирования информации (рис.15) построена с помощью набора устройств задержек и с использованием универсальной логической матрицы [A14]. Схема является универсальной, поскольку позволяет реализовать все способы импульсного кодирования входной информации, представленной двоичными числами: кодирование двоичного числа в частоту, в задержки, а также одновременное в частоту и в задержки как одним виртуальным нейроном, так и их популяцией [A9].

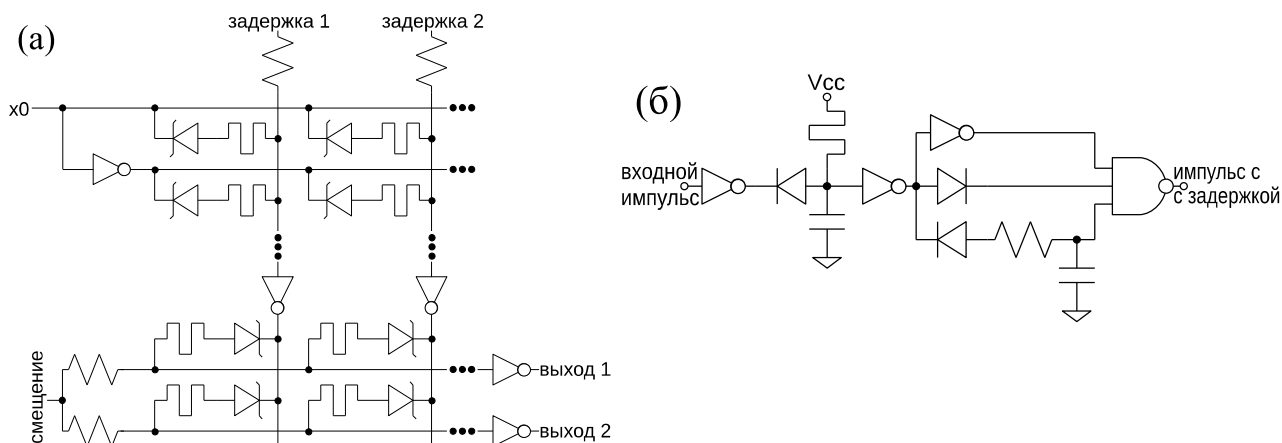


Рис.15. Электрическая схема кодирующего устройства: реализация совершенной дизъюнктивной нормальной формы на базе мемристорно-диодного кроссбара – (а), линия задержки – (б)

Физико-математическая модель работы электрической схемы входного устройства нейропроцессора [A9, A11, A12, A28] основывается на программируемых логических схемах, формализованных дизъюнктивно нормальной формой (ДНФ), так же, как и в маршрутизаторе. Для исполнения ДНФ в 3D логической матрице сформирован полный логический базис из операций «И-НЕ» и «ИЛИ-НЕ» при условии, что логические переменные будут подаваться в прямом и инверсном виде. В мемристорно-диодном кроссбаре логической матрицы реализуются логические вентили И (конъюнкции) на основе диодно-резистивной логики с возможностью отключения любых входов вентили путем изменения сопротивления мемристоров. Инверторы на выходе служат для восстановления значений напряжений логических уровней. В первой матрице вместо источника напряжения для подтягивающих резисторов подключены линии задержки, а вторая матрица используется без изменений. Матрицы подключены последовательно и запрограммированы на реализацию совершенной дизъюнктивной нормальной формы, коммутирующей импульсы с линий задержек на выходы в зависимости от входного двоичного числа.

Логическая схема кодирующего устройства может быть описана совершенной дизъюнктивной нормальной формой. Преобразование осуществляется в два этапа: сначала входное двоичное число преобразуется в позиционный код, затем согласно позиции, сигнал от соответствующей линии задержки поступает на выход. Таким образом, в матрице конъюнкций реализована функция дешифратора. Элементы матрицы коммутации дешифратора  $m_{ij}$  связаны со значениями разрядов целого положительного числа  $j$  в двоичном представлении:

$$j = \sum_{i=0}^{n-1} \alpha_{ij} 2^i; m_{ij} = \begin{cases} \alpha_{ij}, i < n \\ \overline{\alpha_{ij}}, n \leq i < 2n \end{cases}, j \in [0, 2^n - 1], i \in [0, 2n - 1], \quad (9)$$

где  $n$  – разрядность входного числа. Преобразование числа  $x$  в величину задержки импульса от нейрона  $l(x)$  определяется с помощью функции Гаусса:

$$l(x) = W \cdot \left( 1 - \exp \left( -\frac{1}{2} \left( \frac{x - \mu}{\sigma} \right)^2 \right) \right). \quad (10)$$

Здесь  $W$  – ширина окна кодирования во времени;  $\mu$  – собственное значение нейрона, при кодировании которого будет минимальная задержка;  $\sigma$  – параметр, определяющий избирательность реакции нейрона.

Таким образом, для  $j$ -ой линии ( $j$ -го нейрона) величина задержки будет равна:

$$l_j = W \cdot \left( 1 - \exp \left( -\frac{1}{2} \left( \frac{j - \mu_j}{\sigma_j} \right)^2 \right) \right). \quad (11)$$

Точность представления входного числа определяется количеством используемых бит  $n$ , а точность выходного отображения – от количества линий задержек. Кодирование происходит при поступлении от управляющей схемы импульса, запускающего выборку входного числа. Линии задержки построены на базе двух RC-цепей и логических вентилях. Постоянная времени первой интегрирующей RC-цепи определяет величину задержки. Задержка является программируемой величиной, поскольку в качестве резистора RC-цепи использован мемристор. Вторая RC-цепь отвечает за ширину выходного импульса.

Численное моделирование работы кодирующего устройства выполнялось в специализированной программе MDC-SPICE с учетом формул (5), (9) - (11). На рис.16 представлен результат моделирования режима кодирования двух входных чисел  $n_0$  и  $n_1$  популяцией трех виртуальных нейронов одновременно в задержки и частоту импульсов [A14]. Число  $n_0$  линейно возрастало во времени от 1 до 7, а  $n_1$  наоборот убывало с 7 до 1.

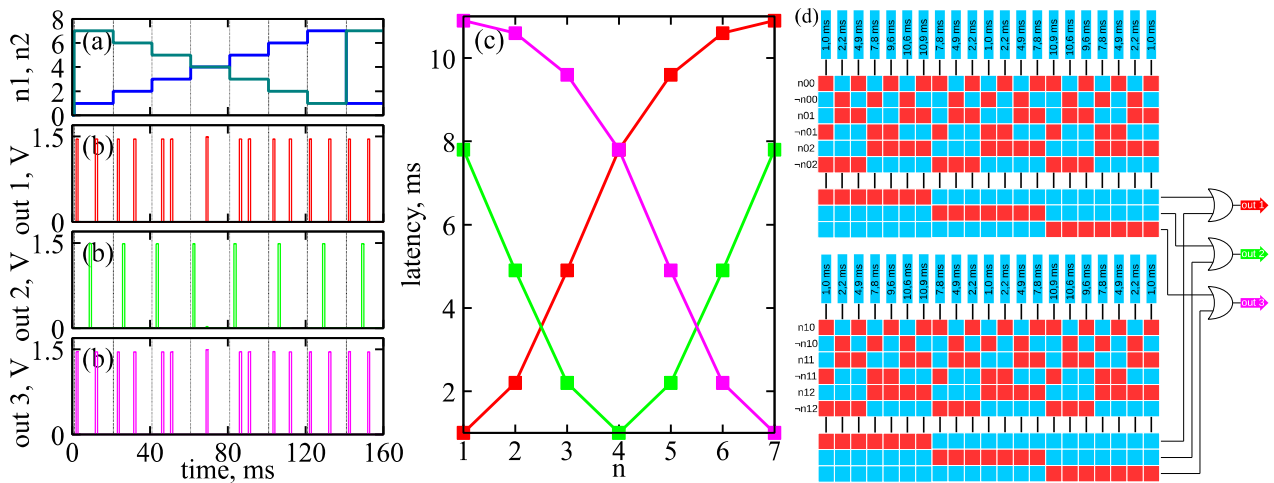


Рис.16. Моделирование режима кодирования одновременно в задержки и в частоту импульсов популяцией нейронов: изменение входных чисел во времени – (a); выходные импульсы – (b); функции преобразования чисел  $n$  в частоту  $f$  – (c); карта проводимости мемристоров – (d)

Предложенная схема одновременного кодирования популяцией нейронов пространственной производной входного числа в частоту и значения входного числа в задержки импульсов дополнительно позволяет кодировать и производную входной величины во времени. Такая схема быстрее реагирует на изменения входного сигнала за счет большего объема передаваемой информации и является предпочтительной по сравнению с одновременным кодированием значения яркости пикселей в задержки и пространственной производной яркости в частоту, которое наблюдается в биологических нейронных сетях [23].

На выходное устройство поступает информация, полученная в нейронном блоке нейропроцессора в импульсном формате представления данных.

Физико-математическая модель работы выходного устройства [A11, A12, A26, A28] основана на обработке импульсных сигналов в универсальной логической матрице [A11], один слой которой представляет собой набор логических вентилях «И» или «ИЛИ» с произвольно подключаемыми входами. Путём маршрутизации импульсных сигналов и объединением их по логике И-ИЛИ на одной линии, задавалась информационная величина или её модификация. Логический элемент «ИЛИ» осуществляет увеличение частоты при объединении импульсов входного сигнала с импульсами другого сигнала или генератора. Это эквивалентно операциям суммирования информационных величин. Модификация информации выполняется коммутируемой маршрутизацией информационных импульсов между позициями линий логической матрицы. Формула преобразования в модели задавалась программируемыми связями матрицы маршрутизации. Внутри матрицы маршрутизации должно быть  $N \cdot K$  возможных связей между  $N$  входными и  $K$  выходными линиями. Из них требуется запрограммировать  $K$  связей маршрутизации. Для взаимно однозначного преобразования должно выполняться условие  $N=K$  в случае биекционного

отображения входного множества значений на выходное, а также может быть  $N > K$  в случае неполного преобразования.

Матрица коммутации выходного устройства имеет ненулевые элементы:

$$m_{ij} = 1, i \cdot n \leq j < (i + 1) \cdot n, \quad (12)$$

где  $n$  – разрядность генератора двоичных чисел,  $i$  – индекс импульсных входов,  $j$  – индекс выходных разрядов.

Для состояний выходных инверторов логической матрицы  $y_j$  справедливо следующее соотношение:

$$y_j = \overline{\left( \bigwedge_{i=0}^l m_{ij} x_i \right)} \wedge g_j, \quad (13)$$

где  $x_i$  - состояние  $i$ -го входа логической матрицы,  $l$  - полное число входов,  $g_j$  - состояние напряжения подтягивающего резистора, определяемое генератором двоичных чисел.

На рис.17 показана электрическая схема и результаты численного моделирования с учетом формул (5), (12) и (13) в специализированной программе MDC-SPICE работы выходного устройства [A16, A26], декодирующего двухразрядный импульсный сигнал от популяции нейронов в двухразрядное число с использованием генератора бинарных чисел.

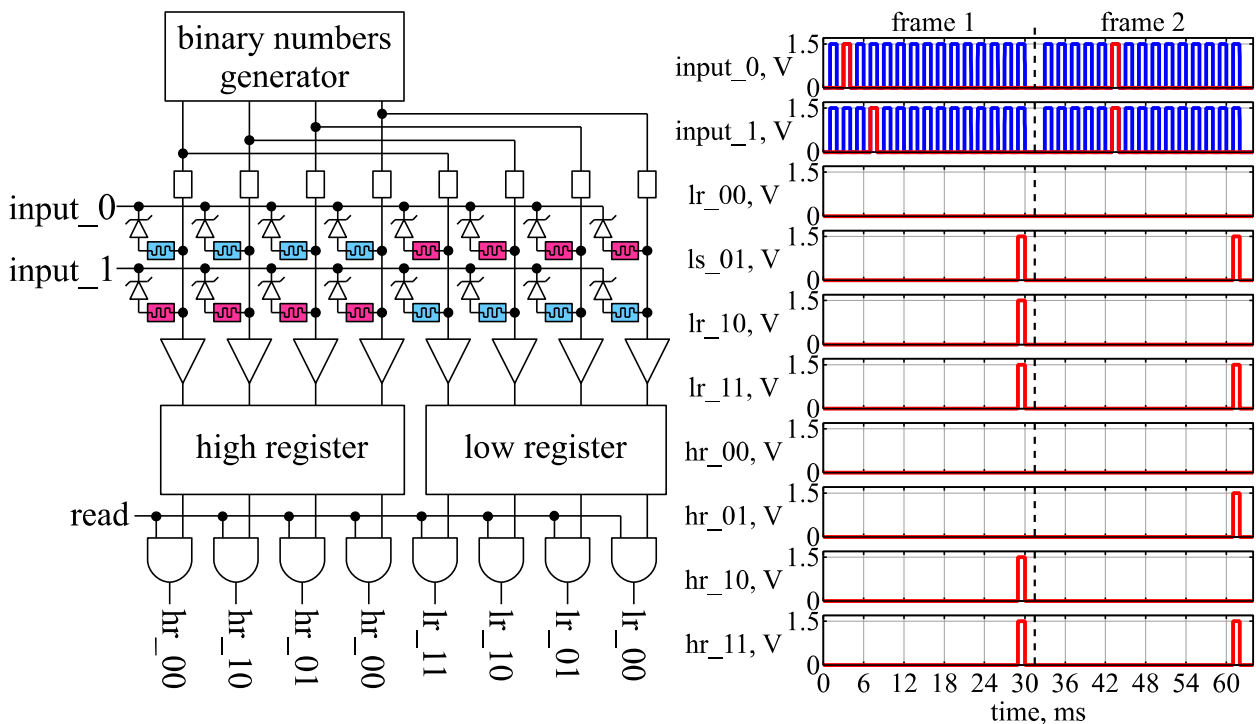


Рис.17. Электрическая схема и результаты моделирования процесса декодирования двухразрядного импульсного сигнала в двухразрядное шестнадцатеричное число с использованием генератора бинарных чисел

Для примера SPICE-моделирования в качестве выходного стандартного сигнала выбрано двухразрядное число, представляемое байтом информации в параллельном коде и в шестнадцатеричной системе счисления (HEX). Значения преобразуемой величины показаны на входе сигналами `input_0` и `input_1` и на диаграммах рис.17 справа соответствующие импульсы выделены красным цветом.

В первом фрейме производится декодирование числа HEX: 0xCE (десятичное значение 206) (рис.17). Определение задержки входных сигналов выполняется относительно импульсов от генератора бинарных чисел. Сигнал, показанный на диаграмме синей кривой, получен объединением импульсов генератора. В первом фрейме положение входного импульса на линии `Input 0` соответствует значению задержки в импульсе 14. Это означает, что передаваемая величина имеет шестнадцатеричное значение «E» в младшем разряде. Счет импульсов производится с конца фрейма. Также для импульса на линии `Input_1` определяется задержка, равная 12, соответствующая «C» старшему разряду передаваемой величины. Во втором фрейме декодируется число HEX: 0xAA (десятичное значение 170).

Таким образом, суть работы входного и выходного блоков нейропроцессора заключается в кодировании, декодировании, фильтрации информационных данных на основе цифрового, временного, пространственного и популяционного их представления. Преобразования выполняются путём выполнения программируемых логических операций и маршрутизации логической матрицей импульсных сигналов. Использование мемристорной логической матрицы во всех узлах нейропроцессора, включая входной и выходной блоки, позволяет унифицировать элементную базу полной электрической схемы нейропроцессора, а также источников ее электропитания.

**Пятая глава** содержит результаты экспериментальных исследований по созданию аппаратной основы биоморфного нейропроцессора.

Представлен универсальный подход, объединяющий процессы изготовления отдельных функциональных слоёв мемристорно-диодного кроссбара (рис.18а) [A8, A15] в одном технологическом модуле магнетронного распыления и состоящий из осаждения: проводящих дорожек и активного слоя мемристоров из смешанных оксидов металлов  $Ti_{0,93}Al_{0,07}O_x$  при одновременном распылении двух мишеней, а также полупроводниковых слоев p-Si/n-Si или p-Si/ZnO<sub>x</sub> диода Зенера. Такой подход позволил упростить существующий технологический цикл производства, в котором активный слой мемристора изготавливается методом атомно-слоевого осаждения, проводники производятся методом магнетронного распыления, а полупроводниковые слои диода – методами ионной имплантации или термодиффузии.

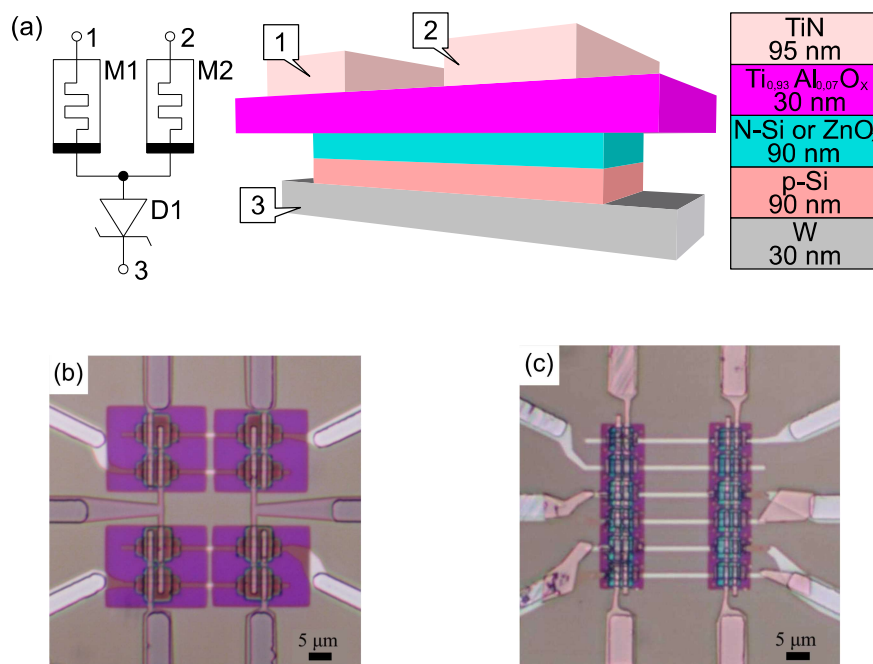


Рис.18. Электрическая схема и топология ячейки 1D2M – (a); микрофотографии изготовленных массивов со структурами: W / p-Si / n-Si / Ti<sub>0,93</sub>Al<sub>0,07</sub>O<sub>x</sub> / TiN – (b) и W / p-Si / ZnO / Ti<sub>0,93</sub>Al<sub>0,07</sub>O<sub>x</sub> / TiN – (c)

Микрофотографии [A24, A25] и топологии изготовленных мемристорно-диодных кроссбаров: из 2 x 2 ячеек и структурой W / p-Si / n-Si / Ti<sub>0,93</sub>Al<sub>0,07</sub>O<sub>x</sub> / TiN; из 6 x 2 ячеек и структурой и W / p-Si / ZnO / Ti<sub>0,93</sub>Al<sub>0,07</sub>O<sub>x</sub> / TiN представлены на рис.18.

Для исследования электрических характеристик мемристорно-диодной ячейки и процессов обработки сигналов в изготовленном мемристорно-диодном кроссбаре для запоминающей и логической матриц создан измерительный стенд на дискретных элементах с КМОП логикой [A25].

Измеренные вольт-амперные характеристики (ВАХ) ячейки кроссбара с диодом p-Si / n-Si и p-Si / ZnO при подаче напряжения на один из мемристоров пары [A8, A25] показаны на рис.19.

Как видно из рис.19, большое сопротивление закрытого диода приводит к стягиванию гистерезиса в обратной ветви вольт-амперной характеристики ячейки, поскольку вклад сопротивления диода преобладает над вкладом малого сопротивления мемристора в их общей ВАХ. Такой же эффект наблюдается в кроссбаре [24] с униполярным мемристором на основе смешанного оксида никеля и титана и диодом p-CuO / n-ZnO:In. Из рис.19 следует, что ячейка с диодом p-Si / n-Si обладает лучшим выпрямляющим свойством по сравнению с ячейкой с диодом p-Si / ZnO<sub>x</sub>, поскольку ток в открытой ячейке при положительном напряжении значительно выше, чем при отрицательном напряжении.



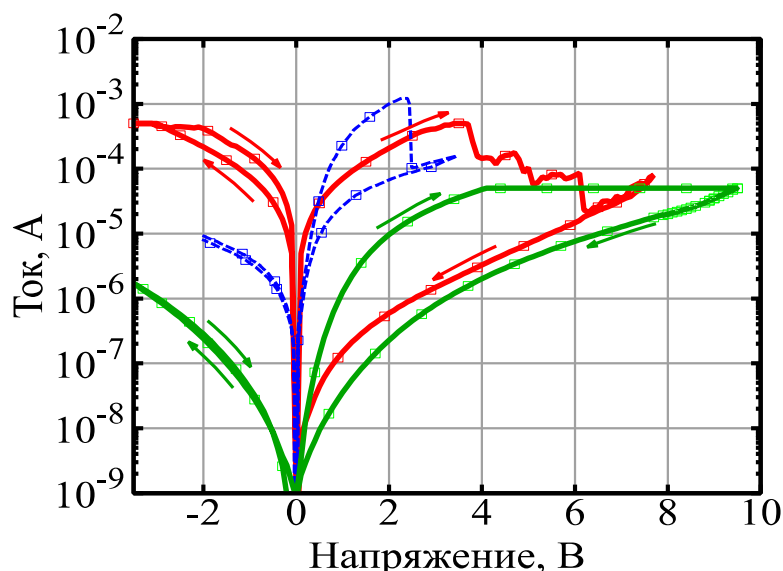


Рис.19. Экспериментальные вольт-амперные характеристики ячеек кроссбара. Зеленая кривая – с диодом p-Si /n-Si, красная с p-Si /ZnO, синяя ячейки кроссбара из [24]

Высокое выпрямляющее свойство ячейки необходимо для функционирования диодной логики в логической матрице и при записи состояний мемристоров в запоминающей и логической матрицах.

Характеристики диода Зенера влияют на энергоэффективность мемристорно-диодного кроссбара (таблица 1). При увеличении степени нелинейности вольт-амперной характеристики диода, наблюдается снижение энергопотребления кроссбара. Энергопотребление определено с помощью SPICE моделирования путем расчета средней суммы мощностей источников входных напряжений.

Таблица 1. Усредненное энергопотребление мемристорно –диодного кроссбара размером 2x2 [A8]

Кроссбар с диодом	Сопротивление диода при прямом смещении	Сопротивление диода при обратном смещении	Энергопотребление в кроссбаре. $V_{pulse}$ : -1.5 В, 0, +1.5 В
p-Si/ZnO	97,3 кОм (1,5 В)	20,1 кОм (1,5 В)	1,41 мкВт
	25,8 кОм (3 В)	12,1 кОм (3 В)	
p-Si/n-Si	80,7 кОм (1,5 В)	80,9 кОм (1,5 В)	1,26 мкВт
	24,5 кОм (3 В)	24,7 кОм (3 В)	

Для обеспечения работы в импульсном режиме мемристорного-диодного кроссбара с ячейками 1D2M и 1D1M, являющегося фрагментом запоминающей или логической матриц соответственно, в эксперименте по обработке сигналов на стенде с отключенными схемами нейронов используются четыре цифровых порта, подключенных к операционным усилителям для формирования импульсов, а также АЦП микроконтроллера для измерения напряжения с выходных преобразователей ток-напряжение на основе операционных усилителей (ОУ).

На рис.20 показаны результаты измерений выходного тока одной шины запоминающей матрицы с числом ячеек 2x2 (рис.18б) как результат сложения токов из двух ячеек, находящихся в разных синаптических состояниях [А7, А16].

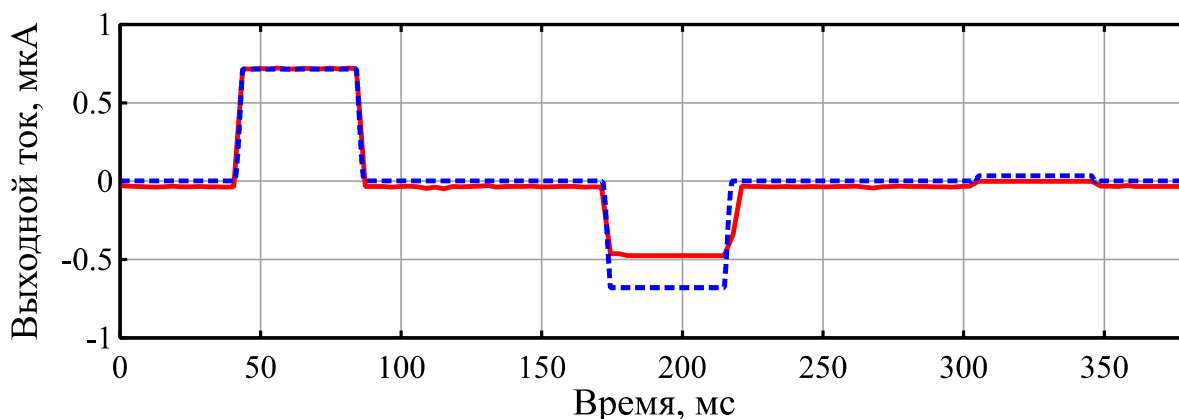


Рис.20. Сложение выходных токов двух ячеек 1D2M с комплементарными мемристорами на общей выходной шине кроссбара: сплошная кривая - экспериментальная, пунктирная кривая - SPICE-моделирование

Рис.20 иллюстрирует три случая: в первом случае входной импульс напряжения (интервал 40-90 мс) подается только на первую ячейку, во втором (интервал 170-230 мс) – только на вторую, а в третьем (интервал 300-350 мс) – на обе. При этом первая ячейка имеет положительный вес, вторая – отрицательный. Амплитуда выходного тока в третьем случае должна быть равна сумме амплитуд токов в первом и во втором случаях, однако она оказывается меньше ожидаемой, что может быть связано с влиянием нелинейной ВАХ селективного диода. Для сравнения на рис. 21 приведена пунктирная кривая, полученная при численном моделировании работы двух ячеек 1D2M. В качестве модели ячеек в SPICE использована экспериментально полученная вольт-амперная зависимость, представленная на рис.19 (зеленая кривая).

Результат моделирования показывает результат суммирования токов на выходной шине кроссбара при отсутствии разброса характеристик

мемристоров. Среднеквадратичное отклонение тока за время действия входных импульсов напряжения составляет 234 нА при среднеквадратичном отклонении сопротивления мемристоров в высокопроводящем (1,88 МОм) и низкопроводящем состояниях (4,45 ГОм) соответственно 65% и 109%.

Для реализации ячейки 1D1M логической матрицы использован изготовленный кроссбар 1D2M, в котором входной контакт второго мемристора в ячейке был не задействован. На рис.21 представлены результаты измерений выходных напряжений матрицы с числом ячеек 2x2 (рис.18б) для трех случаев маршрутизации и их представление в виде логического бинарного умножения матрицы (матрицы преобразования) на входной вектор [A7, A16].

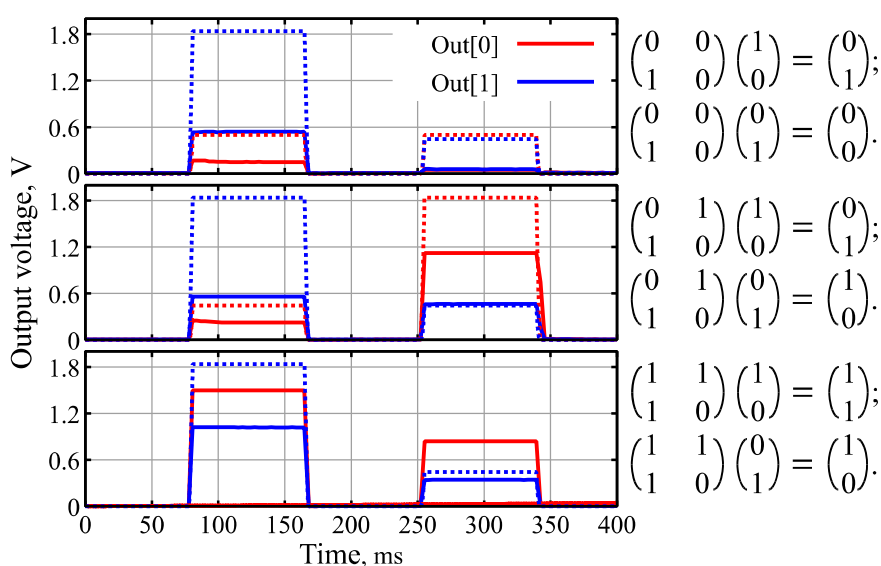


Рис.21. Маршрутизация импульсов логической матрицей с помощью запрограммированных мемристоров: сплошные кривые – экспериментальные, пунктирные кривые - SPICE-моделирование

Первая компонента выходного вектора обозначена как Out[0], вторая – Out[1]. Для сравнения на рис.21 приведены результаты численного моделирования работы логической матрицы в режиме маршрутизатора.

В каждом из трех случаев сначала импульс напряжения появляется на первом входе маршрутизатора, а затем на втором. Матрица преобразования первого случая обеспечивает только перенаправление импульса напряжения с первого входа на второй выход. Матрица преобразования во втором случае обеспечивает взаимное перенаправление импульсов: первый импульс появляется на втором выходе, а второй импульс – на первом. В третьем случае первый импульс пройдет на оба выхода, а второй импульс - только на первый.

Среднеквадратичное отклонение выходных напряжений за время действия входных импульсов напряжения, вносимая неодинаковостью

мемристоров, оценена при сравнении данных эксперимента и SPICE-моделирования и составляет 668 мкВ. Среднеквадратичное отклонение сопротивления мемристоров в низкопроводящем состоянии составляет 137%, а в высокопроводящем – 97%.

Для исследования работы аппаратной импульсной нейросети разработан и изготовлен универсальный измерительный стенд [A27, A39], электрическая схема которого состоит из схемы аппаратного персептрона и входной периферийной электрической схемы для обеспечения работы персептрона (рис.22).

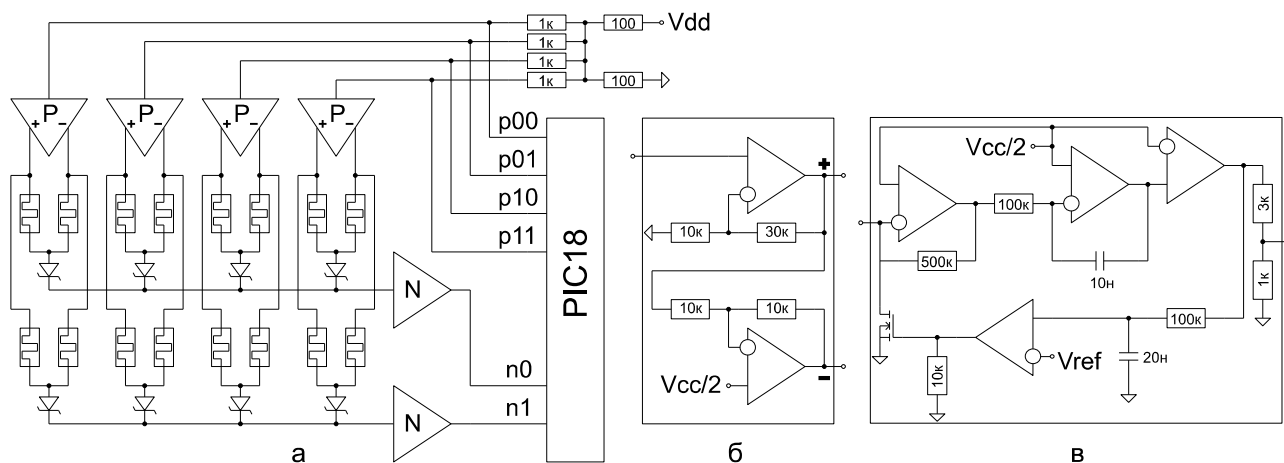


Рис.22. Электрические схема стенда: аппаратная нейросеть – (а), формирователь импульсов противоположных полярностей – (б), аппаратный нейрон – (в)

Электрическая схема стенда реализована в виде трех отдельных плат (рис.23). Изготовленный кроссбар (1), распаянный на отдельной плате, вставляется в разъем, который позволяет исследовать работу нейросети с разными мемристорными кроссбарами без переделки стенда. Формирователь входных импульсов (2) построен с помощью операционных усилителей (ОУ) и обеспечивает усиление импульсов от управляющего микроконтроллера PIC18 (4) и создание инверсных по напряжению импульсов. Электрические схемы двух выходных нейронов (3) также построены с применением ОУ.

Разработанная биоморфная электрическая схема нейрона (рис.22в) [A7, A10, A27] на основе принципов электрической модели реального нейрона, представленных в [20, 21], состоит из преобразователя ток-напряжение, аналогового интегратора, генератора импульса по порогу (рис.4 и рис.5) с компаратором, схемой задержки в виде интегрирующей RC-цепи и полевого транзистора. Преобразователь ток-напряжение, являющийся входом нейрона, поддерживает на выходных шинах кроссбара виртуальный нулевой потенциал, обеспечивая сложение выходных токов синапсов.

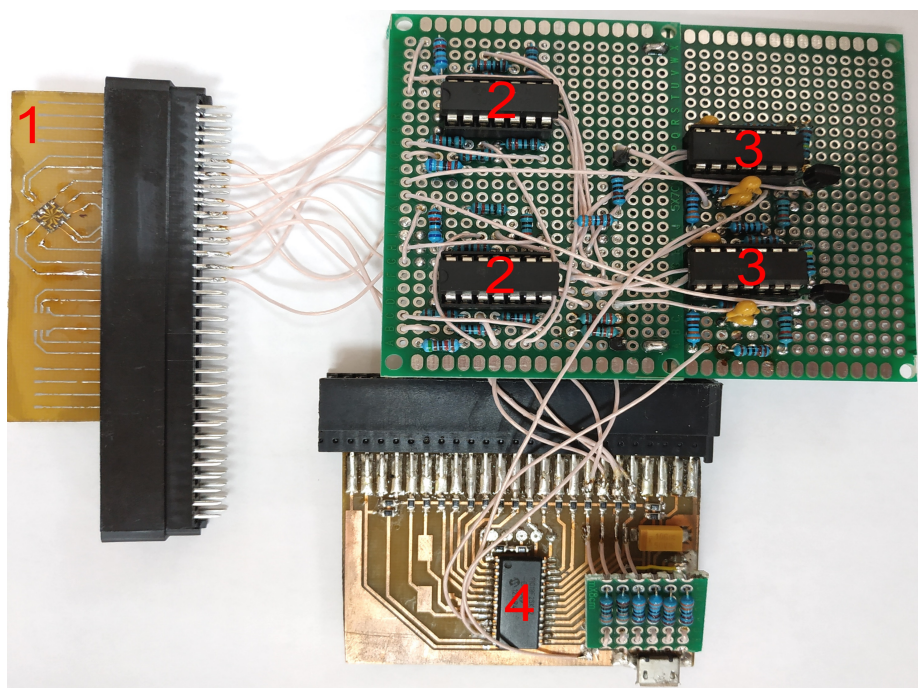


Рис.23. Универсальный измерительный стенд для исследования процессов обработки сигналов в изготовленном кроссбаре и тестирования аппаратной импульсной нейросети

Проведено тестирование изготовленной аппаратной импульсной нейросети, включающей четыре виртуальных входных нейрона и два аппаратных выходных нейрона и массив синапсов на основе запоминающей матрицы с числом ячеек 4x2. Нейросеть обучалась по известному правилу пластичности, зависимой от времени импульсов (STDP – spike-time dependend plasticity), для выполнения задачи распознавания входных картинок с разрешением 2x2 пикселя [A10]. Значения яркостей пикселей преобразовывались в среднюю частоту последовательности входных импульсов с помощью микроконтроллера (рис.23(4)). Выходные импульсы активированных нейронов фиксировались этим же микроконтроллером. В процессе моделирования для сопротивлений мемристоров в низкопроводящем и высокопроводящем состояниях были использованы усредненные экспериментальные ВАХ (рис.19) этих состояний в виде табличных функций.

Исследованная аппаратная импульсная нейросеть на основе мемристорно-диодного кроссбара при переобучении опирается на ассоциации, сформированные в процессе обработки входных сигналов, а не заложенные искусственно, как в [25]. Результаты экспериментального исследования процесса генерации новой ассоциации при переобучении, связанным с поступлением новой информации, показан на рис.24а [10, A27, A39]. Нарастание входного напряжения нейрона, которое пропорционально синаптическому току, вызвано усилением синапса при формировании новой ассоциации.

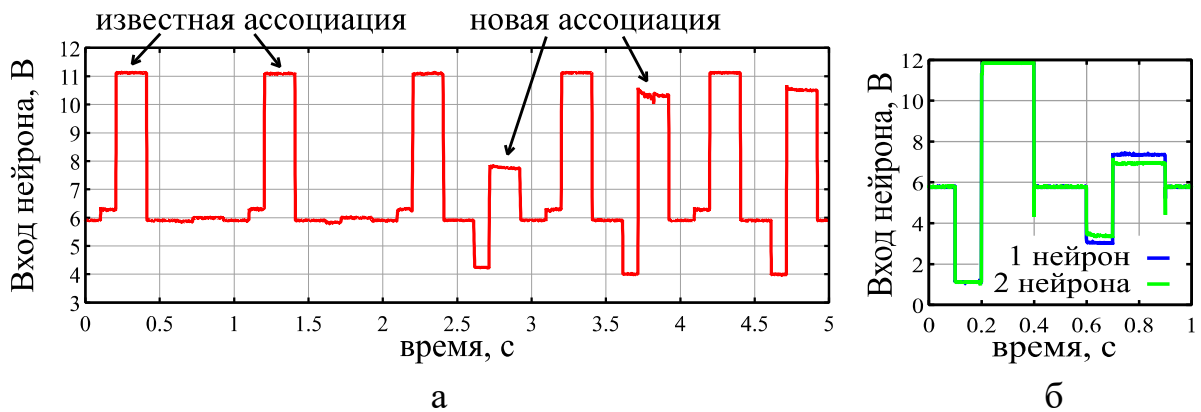


Рис.24. Генерация новой ассоциации на фоне известной ассоциации в изготовленной аппаратной импульсной нейросети: появление и нарастание сигнала от изначально слабого синапса – (а); изменение амплитуды импульсов при подключении второго нейрона в схему – (б)

Подключение второго нейрона вызывает уменьшение синаптического тока первого нейрона на 9,5% (рис.24б) [A10] из-за существования небольших паразитных токов через соседние ячейки в кроссбаре. Часть суммарного тока синапсов первого нейрона втекает во второй нейрон, поэтому наблюдаемая амплитуда импульсов уменьшается.

## ОСНОВНЫЕ РЕЗУЛЬТАТЫ И ВЫВОДЫ

В заключении кратко сформулируем основные результаты и выводы, полученные в рамках данной работы:

1. Разработаны физические основы создания биоморфного нейропроцессора: концепция его функционального устройства; комбинированный мемристорно-диодный кроссбар – новый компонент наноэлектроники и биоморфная электрическая схема нейрона для построения аппаратной нейросети; специализированная программа MDC-SPICE для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары.
2. Разработана физико-математическая биоморфная модель нейрона, максимально упрощённая с точки зрения времени расчёта по сравнению с полной биологической моделью, но без существенной потери точности; принципы построения биоморфной нейросети и осуществлена её программно-аппаратная реализация.
3. Разработаны физические основы создания, электрическая схема и физико-математическая модель работы мемристорно-диодной ячейки 1D1M, предназначенной для конструирования сверхбольшой логической матрицы.
4. Представлены электрическая схема, топология сверхбольшой 3D логической матрицы на базе нового компонента наноэлектроники – мемристорно-диодного

- кроссбара, обеспечивающего высокую интеграцию элементов и энергоэффективность нейропроцессора. Разработана физико-математическая модель процессов обработки сигналов в сверхбольшой логической матрице.
5. Разработаны электрические схемы и физико-математические модели кодирования и декодирования информации во входном и выходном устройствах нейропроцессора, построенных на основе универсальной логической матрицы с мемристорно-диодным кроссбаром.
  6. Приведены результаты численного моделирования процессов: обработки сигналов в логической матрице при маршрутизации выходных импульсов нейронов на синапсы других нейронов и при умножении матрицы чисел на вектор; импульсного кодирования и декодирования информации во входном и выходном устройствах биоморфного нейропроцессора; ассоциативного самообучения аппаратной импульсной нейросети процессора, которые подтверждают работоспособность отдельных узлов нейропроцессора.
  7. Представлен универсальный подход, объединяющий процессы изготовления отдельных функциональных слоёв мемристорно-диодного кроссбара в одном технологическом модуле магнетронного распыления и состоящий из осаждения: проводящих дорожек и активного слоя мемристоров из смешанных оксидов металлов при одновременном распылении двух мишеней, а также полупроводниковых слоев диода Зенера. Такой подход позволил упростить существующий технологический цикл производства, в котором активный слой мемристора изготавливается методом атомно-слоевого осаждения, проводники – методом магнетронного распыления, а полупроводниковые слои диода методами термодиффузии или ионной имплантации.
  8. Разработан, изготовлен и исследован лабораторный комбинированный мемристорно-диодный кроссбар – основа аппаратной реализации нейропроцессора. Изготовлена и протестирована импульсная нейросеть с мемристорными синапсами на основе мемристорно-диодного кроссбара и аппаратных нейронов, представляющая собой однослойный персептрон. Персептрон может рассматриваться в качестве первого слоя 3D биоморфной нейросети [A6], выполняющего первичную обработку поступающей информации в биоморфном нейропроцессоре [A7].
  9. Представлены результаты исследования электрических свойств и процессов обработки сигналов в изготовленных мемристорно-диодных кроссбарах для запоминающей и логической матриц. Согласие экспериментальных данных и результатов численного моделирования подтверждают корректность разработанных физико-математических моделей и специализированной программы MDC-SPICE для численного моделирования работы больших электрических схем, содержащих мемристорно-диодные кроссбары.



10. Приведены результаты экспериментального исследования процесса ассоциативного самообучения аппаратной импульсной нейросети процессора, созданной на основе разработанной биоморфной электрической схемы нейрона и мемристорно-диодного кроссбара.
11. Показано влияние соседних аппаратных нейронов на синаптический ток, возникающее вследствие паразитных токов между соседними ячейками в мемристорно-диодном кроссбаре. Это влияние необходимо учитывать при разработке аппаратных нейросетей с большими кроссбарами.
12. Продемонстрирована генерация новых ассоциаций (нового знания), в процессе ассоциативного самообучения в изготовленной аппаратной импульсной нейросети с программируемыми синаптическими связями, интегрированными в мемристорно-диодный кроссбар, в отличие от известных аппаратных нейросетей, реализованных на основе схем с дискретными мемристорными синапсами.
13. Показана корректность разработанных физико-математических моделей процессов обработки сигналов в отдельных узлах нейропроцессора, следующая из согласия результатов численного моделирования с экспериментальными данными и дающая основание для использования этих моделей при проектировании и изготовлении биоморфного нейропроцессора на основе сверхбольших мемристорно-диодных кроссбаров.

Полученные расчетные и экспериментальные данные свидетельствуют об эффективной работоспособности нового компонента наноэлектроники – комбинированного мемристорно-диодного кроссбара, необходимого для изготовления запоминающей и логической матриц, входного и выходного устройств биоморфного нейропроцессора. С помощью численного моделирования и экспериментально продемонстрирована работоспособность отдельных узлов нейропроцессора.

Созданы предпосылки для изготовления прототипа нейропроцессора нового поколения, качественно отличающегося от существующих нейропроцессоров на простых нейронах, предназначенных для работы компьютерного зрения, машинного обучения и других систем со слабым искусственным интеллектом.

С помощью разработанной, изготовленной и протестированной аппаратной импульсной нейросети поступление новой неизвестной информации можно отождествлять с генерацией новых ассоциаций в биоморфном нейропроцессоре [А7] и при совершенствовании нейросети [А6] научиться осмысливать эту информацию (оценивать её значимость) и, следовательно, совершить переход от слабого к сильному искусственному интеллекту.



## Список публикаций по теме диссертации

### *Публикации в журналах, входящих в международные базы WoS / Scopus:*

A1. Bobylev A.N., Busygin A.N., **Pisarev A.D.**, Udovichenko S.Yu., Filippov V.A. Neuromorphic coprocessor prototype based on mixed metal oxide memristors // International Journal of Nanotechnology. 2017. V.14. №7/8. P.698-704.

A2. Maevsky O.V., **Pisarev A.D.**, Busygin A.N., Udovichenko S.Yu. Complementary memristive diode cells for the memory matrix of a neuromorphic processor // International Journal of Nanotechnology. 2018. V.15. №4/5. P.388-393.

A3. **Pisarev A.**, Busygin A., Udovichenko S., Maevsky O. 3D memory matrix based on a composite memristor-diode crossbar for a neuromorphic processor // Microelectronic Engineering. 2018. V.198. P.1-7.

A4. **Pisarev A.D.**, Busygin A.N., Bobylev A.N., Udovichenko S.Yu. High element integration in logical and memory matrices of neuroprocessor by applying composite memristor-diode crossbar // International Journal of Nanotechnology. 2019. V.16. №1/2/3. P. 182-186.

A5. **Pisarev A.D.**, Busygin A.N., Bobylev A.N., Udovichenko S.Yu., Operation principle and fabrication technology of the neuroprocessor input unit on the basis of the memristive logic matrix // International Journal of Nanotechnology. 2019. V.16. №6/7/8/9/10. P.596-601.

A6. Filippov V.A., Bobylev A.N., Busygin A.N., **Pisarev A.D.**, Udovichenko S.Yu. A biomorphic neuron model and principles of designing a neural network with memristor synapses for a biomorphic neuroprocessor // Neural Computing and Applications. 2020. V.32. P. 2471-2485.

A7. **Pisarev A.D.**, Busygin A.N., Udovichenko S.Yu., Maevsky O.V. A biomorphic neuroprocessor based on a composite memristor-diode crossbar // Microelectronics Journal. 2020. V. 102. Article 104827.

A8. **Pisarev A.**, Busygin A., Bobylev A., Gubin A., Udovichenko S. Fabrication technology and electrophysical properties of a composite memristor-diode crossbar used as a basis for hardware implementation of a biomorphic neuroprocessor // Microelectronic Engineering. 2021. V. 236. Article 111471.

A9. Busygin A.N., Ibrahim A.X., **Pisarev A.D.**, Udovichenko S.Yu. Input device for a biomorphic neuroprocessor based on a memristor- diode crossbar for the pulse coding of information // Nanobiotechnology Reports. 2021. V.16. N.6 P.798-803.

Бусыгин А.Н., Ибрагим А.Х., **Писарев А.Д.**, Удовиченко С.Ю. Входное устройство биоморфного нейропроцессора на основе мемристорно-диодного кроссбара для импульсного кодирования информации // Российские нанотехнологии. 2021. Т.16. № 6. С. 833-838.

A10. Bobylev A.N., Busygin A.N., Gubin A.A., **Pisarev A.D.**, Udovichenko S.Yu. Manufacture and testing of a pulsed hardware neural network with memristor synapses for a biomorphic neuroprocessor // *Nanobiotechnology Reports*. 2021. V.16. N.6 P. 761-766;

Бобылев А.Н., Бусыгин А.Н., Губин А.А., **Писарев А.Д.**, Удовиченко С.Ю. Изготовление и тестирование аппаратной импульсной нейросети с мемристорными синапсами для биоморфного нейропроцессора // *Российские нанотехнологии*. 2021. №6. С. 793-798.

A.11 Udovichenko S.Yu., **Pisarev A.D.**, Busygin A.N., Ebrahim A.H., Bobylev A.N., Gubin A.A. Modeling of processes of information processing in biomorphic neuroprocessor // *OBM Neurobiology*. 2022. V.6. Special Issue №3: Neuroscience and Information Technology. P.1-15.

***Публикация в издании, входящем в международную базу IEEE Xplore:***

A.12. Udovichenko S.Yu., **Pisarev A.D.**, Busygin A.N., Ebrahim A.H., Bobylev A.N., Gubin A.A. Information processing in biomorphic neuroprocessor // *AIPCC 2022. The Third International Conference on Artificial Intelligence, Information Processing and Cloud Computing*. P.66-70. ISBN 978-3-8007-5932-3 (CD-ROM); ISBN 978-3-8007-5933-0 (eBook)

***Публикации в журнале, входящем в базу RSCI:***

A13. Udovichenko S.Yu, **Pisarev A.D.**, Busygin A.N., Maevsky O.V. 3D CMOS, memristor nanotechnology for creating logical and memory matrices of neuroprocessor // *Nanoindustry*. 2017. V.10. № 5 (76). P. 26-34.

A14. Udovichenko S., **Pisarev A.**, Busygin A., Maevsky O. Neuroprocessor based on combined memristor-diode crossbar // *Nanoindustry*. V.11. 2018. № 5 (84). P. 344-355.

A15. Udovichenko S.Yu., **Pisarev A.D.**, Busygin A.N., Bobylev A.N. Biomorphous neuroprocessor – prototype of a new generation computer being a carrier of artificial intelligence. Part 1 // *Nanoindustry*. 2020. V. 13. № 7-8(101). P. 466-475.

A16. Udovichenko S.Y., **Pisarev A.D.**, Busygin A.N., Bobylev A.N. Biomorphous neuroprocessor – prototype of a new generation computer being a carrier of artificial intelligence. Part 2 // *Nanoindustry*. 2021.V.14. №1(103).С.68-80.

A17. **Pisarev A.D.**, Busygin A.N., Bobylev A.N., Gubin A.A., Udovichenko S.Yu. Simulation and experimental evaluation of signal processing routines in a composite memristor-diode crossbar the basis of a biomorphic neuroprocessor // *Nanoindustry*. 2020. V. 13. № S5-3 (102). P. 724-732.

***Публикации в других рецензируемых изданиях из перечня ВАК:***

A18. Бусыгин А.Н., **Писарев А.Д.**, Кузьменко А.Ю., Филиппов В.А. Особенности моделирования работы биоморфной нейросети на электронном

устройстве с энергонезависимой памятью и низким потреблением энергии // Вестник ТюмГУ. Физико-математическое моделирование. Нефть, газ, энергетика. 2016. Т.2. №1. С.92-100.

A19. Маевский О.В., **Писарев А.Д.**, Бусыгин А.Н., Удовиченко С.Ю. Логический коммутатор и запоминающее устройство на основе мемристорных ячеек для электрической схемы нейропроцессора // Вестник ТюмГУ. Физико-математическое моделирование. Нефть, газ, энергетика. 2016.Т.2.№4.С.100-111.

A20.Удовиченко С.Ю., **Писарев А.Д.**, Бусыгин А.Н., 3D КМОП - мемристорная нанотехнология для создания многослойной логической матрицы нейропроцессора // Вакуумная техника и технология. 2017. Т. 27. № 3. С. 5.1-5.4.

A21. **Писарев А.Д.** SPICE-моделирование процессов ассоциативного самообучения и безусловного разобучения в логическом блоке нейропроцессора // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2018. Т.4. №3. С. 132-145.

A22. **Писарев А.Д.** Реализация дискретного косинусного преобразования во входном блоке мемристорного нейропроцессора // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2019. Т.5. №1. С. 147-161.

A23. **Писарев А.Д.** Энергоэффективное биоморфное импульсное кодирование информации в электронных нейронах для входного блока нейропроцессора // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2019. Т.5. №3. С. 186-215.

A24. **Писарев А.Д.**, Бусыгин А.Н., Бобылев А.Н., Ибрагим А.Х.А., Губин А.А., Удовиченко С.Ю. Выбор материалов и нанотехнология изготовления комбинированного мемристорного-диодного кроссбара — основы аппаратной реализации нейропроцессора // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2019.Т.5. №4. С.200-219.

A.25. **Писарев А.Д.**, Бусыгин А.Н., Бобылев А.Н., Губин А.А., Удовиченко С.Ю. Исследование электрофизических свойств комбинированного мемристорно-диодного кроссбара, являющегося основой для аппаратной реализации биоморфного нейропроцессора // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2020. Т.6. №3. С. 93-109.

A26. **Писарев А.Д.**, Бусыгин А.Н., Ибрагим А.Х.А., Удовиченко С.Ю. Моделирование процессов декодирования информации в выходном устройстве биоморфного нейропроцессора // Вестник Тюменского государственного

университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2020. Т.6. №4 (24). С. 179-193.

A27. Бусыгин А.Н., Бобылев А.Н., Губин А.А., **Писарев А.Д.**, Удовиченко С.Ю. Численное моделирование и экспериментальное исследование аппаратной импульсной нейросети с мемристорными синапсами // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2021. Т.7. №2 (26). С. 223-235.

A28. **Писарев А.Д.** Математическое моделирование процессов маршрутизации сигналов логической матрицей, а также кодирования и декодирования информации в биоморфном нейропроцессоре // Вестник Тюменского государственного университета. Физико-математическое моделирование. Нефть, газ, энергетика. 2022. Т.8. №2 (27). С.198-214.

*Публикации в материалах конференций:*

A29. Удовиченко С.Ю., Бобылев А.Н., Бусыгин А.Н., **Писарев А.Д.**, Филиппов В.А. Прототип нейроморфного сопроцессора на основе мемристоров из смешанного оксида металлов // Сборник тезисов VII конференции Нанотехнологического общества России. 2016. С.29-32.

A30. Удовиченко С.Ю., **Писарев А.Д.**, Бусыгин А.Н., Бобылев А.Н. Высокая интеграция элементов в логической и запоминающей матрицах нейропроцессора с помощью комбинированного мемристорно –диодного кроссбара. // Сборник тезисов IX конференции Нанотехнологического общества России. 2018. С. 6-7.

A31. S.Yu. Udovichenko, **A.D. Pisarev**, A.N. Busygin, A.N. Bobylev. Memory and universal logic matrices for neuroprocessor. // First International Workshop “Nanoelectronic Memristive Devices for Quantum and Neuromorphic Computing (MEM-Q)”. Book of Abstracts. 2018. P. 19.

A32. **Pisarev A.D.**, Busygin A.N., Udovichenko S.Yu., Bobylev A.N., Maevsky O.V. A biomorphic neuroprocessor based on the composite memristor - diode crossbar // International Workshop “From ReRAM and Memristors to new Computing Paradigms (MEM-Q)”. Book of Abstracts. 2018. P. 25.

A33. Удовиченко С.Ю., **Писарев А.Д.**, Бусыгин А.Н., Бобылев А.Н. Принцип работы и технология изготовления входного блока нейропроцессора на основе логической матрицы // Сборник тезисов X конференции Нанотехнологического общества России. 2019. С. 78-80.

A34. **Писарев А.Д.**, Бусыгин А.Н., Удовиченко С.Ю. Импульсное кодирование цифровой информации в сверхбольших мемристорных кроссбарах для применений во входном блоке нейропроцессора // Материалы XI

Международной научно-технической конференции «Микро- и нанотехнологии в электронике». 2019. С. 575-579.

А35. Удовиченко С.Ю., **Писарев А.Д.**, Бусыгин А.Н., Ибрагим А.Х. Компьютерная симуляция биоморфного нейропроцессора — носителя искусственного интеллекта // Сборник тезисов международной научной конференции «Применение технологий виртуальной реальности и смежных информационных систем в междисциплинарных задачах FIT-M 2020», 2020, С. 14-19.

А36. Удовиченко С.Ю., **Писарев А.Д.**, Бусыгин А.Н., Бобылев А.Н., Губин А.А., Ибрагим А.Х. Электрические свойства ячейки мемристорно-диодного кроссбара, предназначенного для аппаратной реализации нейропроцессора // Сборник тезисов XI конференции Нанотехнологического общества России. 2020. С.33-34.

А37. **Писарев А.Д.**, Бусыгин А.Н., Бобылев А.Н., Губин А.А., Удовиченко С.Ю. Моделирование и аппаратное тестирование процессов обработки сигналов в комбинированном мемристорно-диодном кроссбаре, являющемся основой биоморфного нейропроцессора // Сборник тезисов 6-ой международной научной конференции «Электронная компонентная база и микроэлектронные модули». Наноиндустрия (Спецвыпуск). 2020. Т. 13. № S4 (99). С. 591-593.

А.38. Удовиченко С.Ю., Бусыгин А.Н., **Писарев А.Д.** Ассоциативное самообучение аппаратной импульсной нейросети, созданной на основе мемристорно-диодного кроссбара // Сборник тезисов XII конференции Нанотехнологического общества России. 2021. С.22-23.

А.39. Бобылев А.Н., Бусыгин А.Н., Губин А.А., **Писарев А.Д.**, Удовиченко С.Ю. Изготовление и тестирование аппаратной импульсной нейросети с мемристорными синапсами для биоморфного нейропроцессора // Материалы XII Международной научно-технической конференции «Микро- и нанотехнологии в электронике». Нальчик. 2021. С.441-445.

#### ***Патенты:***

А40. Маевский О.В., **Писарев А.Д.**, Бусыгин А.Н., Удовиченко С.Ю. Логическая матрица на основе мемристорной коммутационной ячейки, патент РФ №2643650 от 02.02.2018.

А41. Маевский О.В., **Писарев А.Д.**, Бусыгин А.Н., Удовиченко С.Ю. Многослойная логическая матрица на основе мемристорной коммутационной ячейки, патент РФ №2682548 от 19.03.2019.

А42. Маевский О.В., **Писарев А.Д.**, Бусыгин А.Н., Удовиченко С.Ю. Запоминающее устройство на основе комплементарной мемристорно-диодной ячейки // Патент №2649657 от 04.04.2018.

A43. **Писарев А.Д.**, Бусыгин А.Н., Удовиченко С.Ю., Бобылев А.Н., Маевский О.В. 3D запоминающая матрица на основе комплементарной мемристорно-диодной ячейки // Патент №2697623 от 15.08.2019.

### *Монография*

**Писарев А.Д.**, Удовиченко С.Ю. Биоморфный нейропроцессор на основе наноразмерного комбинированного мемристорно-диодного кроссбара // М.: ТЕХНОСФЕРА, 2021. – 228 с. ISBN 978-5-94836-635-7

### **Список цитируемой литературы**

1. Merolla P.A., Arthur J.V., Alvarez-Icaza R. et al. A million spiking-neuron integrated circuit with a scalable communication network and interface // Science. 2014. V.345. P.668-672.
2. Rivera R.A.-I., Arthur J.V., Cassidy A.S. et al. Hardware architecture for simulating a neural network of neurons // 2019. US Patent 2019 197 394.
3. Van Der Made P. A.J., Viejo A., Mankar A.S., Viejo M. Neural Processor based accelerator system and method // 2017. US Patent 0024644.
4. Davies M., Srinivasa N., Lin T.-H. et al. Loihi: A Neuromorphic Manycore Processor with On-Chip Learning // IEEE Micro. 2018. V.38. № 1. P.82-99.
5. Prezioso M., Merrih-Bayat F., Hoskins B.D. et al. Training and operation of an integrated neuromorphic network based on metal-oxide memristors // Nature. 2015. V.521. P.61-64.
6. Kim K.-H., Gaba S., Wheeler D. et al. A functional hybrid memristor crossbar-array/CMOS system for data storage and neuromorphic applications // Nano Letters. 2012. V.12. P.389 -395.
7. Li C., Belkin D., Li Y. et al. Efficient and self-adaptive in-situ learning in multilayer memristor neural networks // Nature Communications. 2018. V.9. Article 2385.
8. Ielmini D. Brain-inspired computing with resistive switching memory (RRAM): Devices, synapses and neural networks // Microelectronic Engineering. 2018. V.190. P.44–53.
9. Yao P., Wu H., Gao B. et al. Fully hardware-implemented memristor convolutional neural network // Nature. 2020. V.577, P.641-661.
10. Cai F., Correl J.M., Lee S.H. et al. A fully integrated reprogrammable memristor–CMOS system for efficient multiply–accumulate operations // Nature Electronics. 2019. V. 2. P. 290–299.
11. Wang Z., Li C., Song W. et al. Reinforcement learning with analogue memristor arrays // Nature Electronics. 2019. V. 2. P. 115–124.
12. Levy Y., Bruck J., Cassuto Y. et al. Logic operations in memory using a memristive Akers array // Microelectronics Journal. 2014. V.45. P.1429–1437.

13. Li C., Hu M., Li Y. et al. Analogue signal and image processing with large memristor crossbars // *Nature electronics*. 2018. V.1. № 1. P.52–59.
14. Zhang Y., Shen Y., Wang X., Cao L. A Novel Design for Memristor-Based Logic Switch and Crossbar Circuits // *IEEE Transactions on Circuits and Systems I: Regular Papers*.2015. V.62. № 5. P.1402-1411.
15. Wang Z., Wang X., Novel A. Memristor-Based Circuit Implementation of Full-Function Pavlov Associative Memory Accorded with Biological Feature // *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2018. V.65 (7). P. 2210-2220.
16. Minnekhanov A.A., Emelyanov A.V., Lapkin D.A. et al. Parylene based memristive devices with multilevel resistive switching for neuromorphic applications // *Scientific Reports*. 2019. V. 9. Article 10800.
17. Demin V.A. Nekhaev D.V., Surazhevsky I.A. et al. Necessary conditions for STDP-based pattern recognition learning in a memristive spiking neural network // *Neural Networks*. 2021.V.134. P. 64-75.
18. Antonov I. N., Belov A. I., Mikhaylov A. N. et al. Formation of Weighting Coefficients in an Artificial Neural Network Based on the Memristive Effect in Metal–Oxide–Metal Nanostructures // *Journal of Communications Technology and Electronics*. 2018. V. 63 (8). P. 950–957.
19. Surazhevsky I.A., Demin V.A., Ilyasov A.I. et al. Noise-assisted persistence and recovery of memory state in a memristive spiking neuromorphic network // *Chaos, Solitons and Fractals*. 2021. V. 146. Article 110890.
20. Hodgkin AL, Huxley AF (1952) A quantitative description of membrane current and its application to conduction and excitation in nerve // *Journal of Physiology*. 1952. V.17(4). P.500-544.
21. Brette R., Gerstner W. Adaptive Exponential Integrate-and-Fire Model as an Effective Description of Neuronal Activity // *Journal of neurophysiology*. 2005. V.94. P.3637–3642.
22. Winters B.D., Jin S-X, Ledford K.R., Golding N.L. Amplitude Normalization of Dendritic EPSPs at the Soma of Binaural Coincidence Detector Neurons of the Medial Superior Olive // *Journal of Neuroscience*. 2017. V.37. № 12. P. 3138-3149.
23. Gollisch T., Meister M. Rapid neural coding in the retina with relative spike latencies // *Science*. 2008. V.319. № 5866. P.1108–1111.
24. Lee M.-J., Park Y., Kang B.-S. et al. 2-stack ID-IR Cross-point Structure with Oxide Diodes as Switch Elements for High Density Resistance RAM Applications // *IEEE International Electron Devices Meeting*. 2007. P.771-774.
25. Lobo J.L., Ser J.D., Bifet A., Kasabov N. Spiking Neural Networks and online learning: An overview and perspectives // *Neural Networks*. 2020. V.121.P.88-100.